

## 重庆科技学院

## 20 13 /20 14 学年第 2 学期考试试卷(A)卷

课程名称：EDA 原理及应用 适用专业/年级：测控 2011

选课课号：(2013-2014-2)-B140145-900038-1 抽(命)题人：柏俊杰

本卷共 11 页，考试方式：闭卷 笔试，考试时间：120 分钟

| 题号  | 一 | 二 | 三 | 四 | 五 | 六 | 七 | 八 | 九 | 十 | 总分 |
|-----|---|---|---|---|---|---|---|---|---|---|----|
| 得分  |   |   |   |   |   |   |   |   |   |   |    |
| 阅卷人 |   |   |   |   |   |   |   |   |   |   |    |

## 一、单项选择题：（本题共 10 小题，每小题 2 分，共 20 分）

1. 一个项目的输入输出端口是定义在\_\_\_\_\_。

A. 实体中 B. 结构体中 C. 任何位置 D. 进程体

2. 描述项目具有逻辑功能的是\_\_\_\_\_。

A. 实体 B. 结构体 C. 配置 D. 进程

3. Quartus II 开发环境中编译 VHDL 源程序时要求\_\_\_\_\_。

A. 文件名和实体可不同名 B. 文件名和实体名无关 C. 文件名和实体名要相同 D. 不确定

4. 不符合 1987VHDL 标准的标识符是\_\_\_\_\_。

A. a\_1\_in B. a\_in\_2 C. 2\_a D. asd\_1

5. VHDL 语言中变量定义的位置是\_\_\_\_\_。

A. 实体中任何位置 B. 实体中特定位置 C. 结构体中任何位置 D. 结构体中特定位置

6. 变量和信号的正确描述是\_\_\_\_\_。

A. 变量可以带出进程 B. 信号可以带出进程 C. 信号不能带出进程 D. 二者没有区别

7. 可以不必声明而直接引用的数据类型是\_\_\_\_\_。

A. STD\_LOGIC   B. STD\_LOGIC\_VECTOR   C. BIT   D. 前面三个答案都是错误的

8. VHDL 运算符优先级的说法正确的是\_\_\_\_\_。

- A. NOT 的优先级最高                      B. AND 和 NOT 属于同一个优先级  
C. NOT 的优先级最低                      D. 前面的说法都是错误的

9. 不属于顺序语句的是\_\_\_\_\_。

- A. IF 语句      B. LOOP 语句      C. PROCESS 语句      D. CASE 语句

10. VHDL 文本编辑中编译时出现如下的报错信息

Error:    VHDL syntax error: signal declaration must have ‘;’, but found begin instead.    其错误原因是\_\_\_\_\_。

- A. 信号声明缺少分号。 B. 错将设计文件存入了根目录，并将其设定成工程。  
C. 设计文件的文件名与实体名不一致。 D. 程序中缺少关键词。

**二、EDA 名词解释，写出下列缩写的中文（或者英文）含义（本题共 5 小题，每小题 2 分，共 10 分）**

1. HDL    2. EDA    3. RTL    4. IP    5. FPGA

**三、简答题（每题 5 分，共 10 分）**

- 1、阐述 VHDL 语言中的硬件和变量的区别。
- 2、阐述 VHDL 语言中的进程的特点。
- 3、阐述 VHDL 语言中的顺序语句和并行语句的有什么不同的特点。
- 4、说明端口模式 INOUT 和 BUFFER 有何异同点。

**四、程序设计题（共 60 分）**

1. 一个二输入的与门的实体描述如下，请分别用条件信号赋值语句、选择信号赋值语句和 if 语句来描述其结构体。（本题共 15 分）

```
library IEEE;
```

```
USE IEEE.STD_LOGIC_1164.ALL;
```

```
ENTITY gate_and2 IS
```

```
    PORT
```

```
    (      a , b: IN STD_LOGIC;
```

```
          y  : OUT  STD_LOGIC
```

```
    );
```

```
END gate_and2 ;
```

```
ARCHITECTURE one OF gate_and2  IS      --用条件赋值语句描述结构体
```

```
BEGIN
```

```
END one;
```

```
ARCHITECTURE two OF gate_and2  IS      --用选择赋值语句描述结构体
```

```
BEGIN
```

```
END two;
```

```
ARCHITECTURE three OF gate_and2  IS      --用 if 语句描述结构体
```

```
BEGIN
```

```
END three;
```

学号：

姓名：

专业班级：

线

封

密

2. 基于 VHDL 设计一个 10 线-4 线优先编码器。

3. 基于 VHDL 设计一个有计数使能、同步装载的异步复位计数器

输入端口： clk 时钟信号

rst 异步复位信号

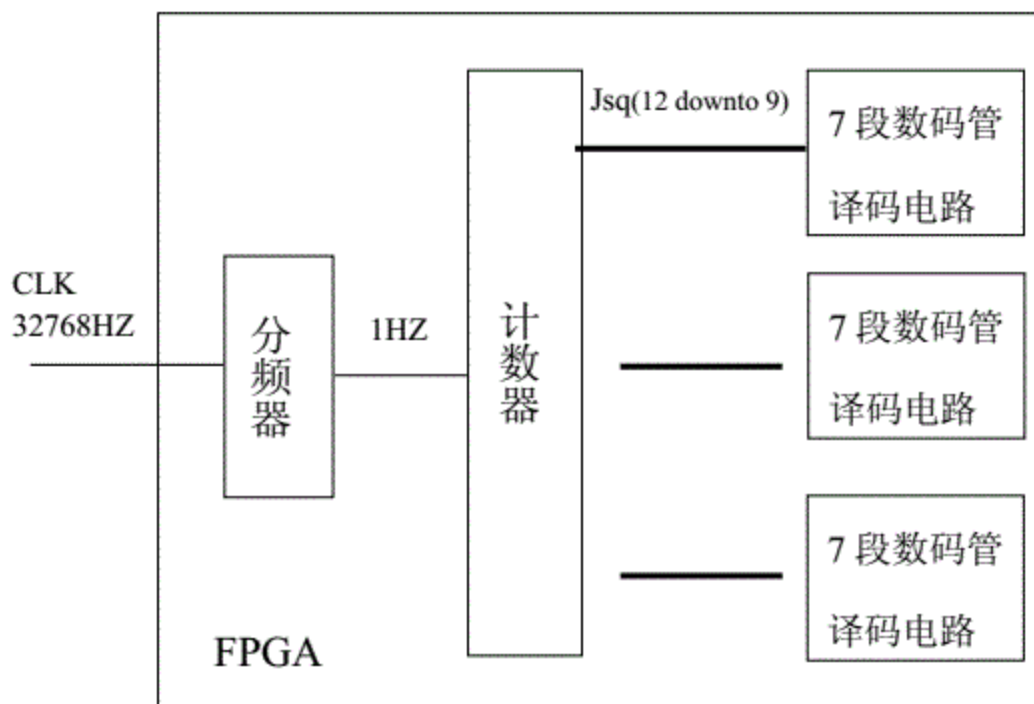
en 计数使能

load 同步装载

data （装载）数据输入，位宽为 10

输出端口： q 计数输出，位宽为 10 （本题 15 分）

4. 基于 VHDL 设计一个百秒计时器，设计框图如下：



## 重 庆 科 技 学 院

## 20 12 /20 13 学年第 2 学期考试试卷(A) 卷答案

课程名称： EDA 原理及应用 适用专业/年级： 测控 2010  
选课课号： (2012-2013-2)-B140145-900038-1 抽(命)题人： 柏俊杰

## 一、单项选择题：（本题共 10 小题，每小题 2 分，共 20 分）

| 题目 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 |
|----|---|---|---|---|---|---|---|---|---|----|
| 答案 | A | B | D | C | D | B | C | A | C | A  |

## 二、EDA 名词解释：（本题共 5 小题，每小题 2 分，共 10 分）

| 题目 | 答案     | 题目 | 答案      |
|----|--------|----|---------|
| 1  | 硬件描述语言 | 2  | 电子设计自动化 |
| 3  | 寄存器传输级 | 4  | 知识产权核   |

|   |          |  |  |
|---|----------|--|--|
| 5 | 现场可编程门阵列 |  |  |
|---|----------|--|--|

## 三、VHDL 程序填空：（本题共 4 个小题，共 30 分）

| 题目 | 答案                          | 题目 | 答案                 | 题目 | 答案                   |
|----|-----------------------------|----|--------------------|----|----------------------|
| 1  | ieee.std_logic_unsigned.all | 11 | IEEE               | 21 | port                 |
| 2  | architecture                | 12 | STD_LOGIC_1164     | 22 | std_logic_vector     |
| 3  | variable                    | 13 | 9 DOWNT0 0         | 23 | (6 downto 0)         |
| 4  | (others => '0')             | 14 | OUT                | 24 | case a               |
| 5  | clk'event and clk = '1'     | 15 | coder              | 25 | end process          |
| 6  | cqi := cqi + 1              | 16 | DIN                | 26 | entity               |
| 7  | cqi (3 downto 0) := "0000"  | 17 | ELSIF (din(8)='0') | 27 | in                   |
| 8  | end if                      | 18 | SIN <= "0000"      | 28 | case sel             |
| 9  | "10011001"                  | 19 | END IF             | 29 | when "11" => y <= a3 |
| 10 | cq <= cqi                   | 20 | output <= sin      | 30 | end                  |

## 四、看下面原理图，写出相应 VHDL 描述（10 分）

```

LIBRARY IEEE;
USE IEEE.STD_LOGIC_1164.ALL;
ENTITY TRI_STATE IS
    PORT ( E, A : IN STD_LOGIC;
          Y : INOUT STD_LOGIC;
          B : OUT STD_LOGIC);
END TRI_STATE;
ARCHITECTURE BEHAV OF TRI_STATE IS
BEGIN
    PROCESS (E, A, Y)
    BEGIN
        IF E = '0' THEN
            B <= Y;
            Y <= 'Z';
        ELSE
            B <= 'Z';
        END IF;
    END PROCESS;
END BEHAV;

```

```
        Y <= A;
    END IF;
END PROCESS;

END BEHAV;
```

### 五、VHDL 程序设计：（30 分）

（1）带计数使能的异步复位计数器的设计（本题 15 分）

```
LIBRARY IEEE;

USE IEEE.STD_LOGIC_1164.ALL;

USE IEEE.STD_LOGIC_UNSIGNED.ALL;

ENTITY CNT1024 IS

    PORT ( CLK, RST, EN, LOAD  : IN STD_LOGIC;

          DATA : IN STD_LOGIC_VECTOR (9 DOWNT0 0);

          Q : OUT STD_LOGIC_VECTOR (9 DOWNT0 0) );

END CNT1024;

ARCHITECTURE ONE OF CNT1024 IS

BEGIN

    PROCESS (CLK, RST, EN, LOAD, DATA)

        VARIABLE Q1 : STD_LOGIC_VECTOR (9 DOWNT0 0);

    BEGIN

        IF RST = '1' THEN

            Q1 := (OTHERS => '0');

        ELSIF CLK = '1' AND CLK'EVENT THEN

            IF LOAD = '1' THEN

                Q1 := DATA;

            ELSE

                IF EN = '1' THEN

                    Q1:= Q1 + 1;

                END IF;

            END IF;

        END IF;

    END PROCESS;

END ONE;
```

```
END IF;  
END IF;  
Q <- Q1;  
END PROCESS;  
END ONE;
```

原创力文档

max.book118.com

预览与源文档一致, 下载高清无水印

(2) 8-3 编码器的设计（本题 15 分）

```
LIBRARY IEEE;  
USE IEEE.STD_LOGIC_1164.ALL;  
ENTITY baimaqi IS  
    PORT ( d : IN STD_LOGIC_VECTOR (7 DOWNTO 0);  
          q : OUT STD_LOGIC_VECTOR (2 DOWNTO 0) );  
END baimaqi;  
  
ARCHITECTURE behave OF baimaqi IS  
    BEGIN  
        q<= "111" WHEN d= "10000000" ELSE  
            "110" WHEN d= "01000000" ELSE  
            "101" WHEN d= "00100000" ELSE  
            "100" WHEN d= "00010000" ELSE  
            "011" WHEN d= "00001000" ELSE  
            "010" WHEN d= "00000100" ELSE  
            "001" WHEN d= "00000010" ELSE  
            "000" WHEN d= "00000001" ELSE  
            "000" WHEN d= "00000000" ELSE  
            "000";  
    END behave;
```

或者另一种答案：

```
LIBRARY IEEE;
```

```
USE IEEE.STD_LOGIC_1164.ALL;
```

```
ENTITY baimaqi IS
```

```
    PORT ( d : IN STD_LOGIC_VECTOR (7 DOWNTO 0);
```

```
           q : OUT STD_LOGIC_VECTOR (2 DOWNTO 0) );
```

```
END baimaqi;
```

```
ARCHITECTURE behave OF baimaqi IS
```

```
    BEGIN
```

```
        PROCESS (d)
```

```
        BEGIN
```

```
            IF d= "10000000" THEN q<= "111";
```

```
                ELSIF d= "01000000" THEN q<= "110";
```

```
                ELSIF d= "00100000" THEN q<= "101";
```

```
                ELSIF d= "00010000" THEN q<= "100";
```

```
                ELSIF d= "00001000" THEN q<= "011";
```

```
                ELSIF d= "00000100" THEN q<= "010";
```

```
                ELSIF d= "00000010" THEN q<= "001";
```

```
                ELSE d= "00000001" THEN q<= "000";
```

```
                ELSE NULL;
```

```
            END IF;
```

```
        END PROCESS;
```

```
    END behave;
```