

职业技术学院

学生课程设计报告

课程名称: EDA 数字抢答器

专业班级: 电子 102 班

姓 名: 刘森

学 号: 20100309212

学 期: 2011-2012 第二学期

目 录

一、课程设计目的.....	3
---------------	---

二、课程设计题目描述和要求.....	3
三、课程设计报告内容.....	4
四、结论.....	21
五、结束语.....	22
六、参考书目.....	22

原创力文档
max.book118.com
预览与源文档一致,下载高清无水印

一、课程设计目的.

设计一个可容纳 4 组参赛的数字式抢答器。通过此次设计熟练掌握 VHDL 语言，并掌握设计所用的软件。

二、课程设计题目描述和要求

在许多比赛活动中，为了准确、公正、直观地判断出第一抢答者通常设置一台抢答器，通过数显、灯光及音响等多种手段指示出第一抢答者。同时，还可以设置计分、犯规及奖惩记录等多种功能。本设计的具体要求是：

(1) 设计制作一个可容纳四组参赛者的数字智力抢答器，每组设置一个抢答按钮供抢答者使用。

(2) 电路具有第一抢答信号的鉴别和锁存功能。

(3) 系统具有计分电路。

(4) 系统具有犯规电路。

系统设计方案：系统的输入信号有：各组的抢答按钮 A、B、C、D，系统清零信号 CLR，系统时钟信号 CLK，计分复位端 RST，加分按钮端 ADD，计时预置控制端 LDN，计时使能端 EN，计时预置数据调整按钮可以用如 TA、TB 表示；系统的输出信号有：四个组抢答成功与否的指示灯控制信号输出口可用如 LEDA、LEDB、LEDC、LEDD 表示，四个组抢答时的计时数码显示控制信号若干，抢答成功组别显示的控制信号若干，各组计分动态显示的控制信号若干。整个系统至少有三个主要模块：抢答鉴别模块；抢答计时模块；抢答计分模块，其他功能模块（犯规警告模块，输出显示模块）。

三、课程设计报告内容

按照要求，我们可以将整个系统分为四个主要模块：抢答鉴别模块；抢

答计时模块；抢答计分模块；译码显示模块。对于需显示的信息，需要增加或外接译码器，进行显示译码。考虑到实验开发平台提供的输出显示资源的限制，我们将组别显示和计时显示的译码器内设，而将各组的计分显示的译码器外接。整个系统的大致组成框图如图 2.1 所示。

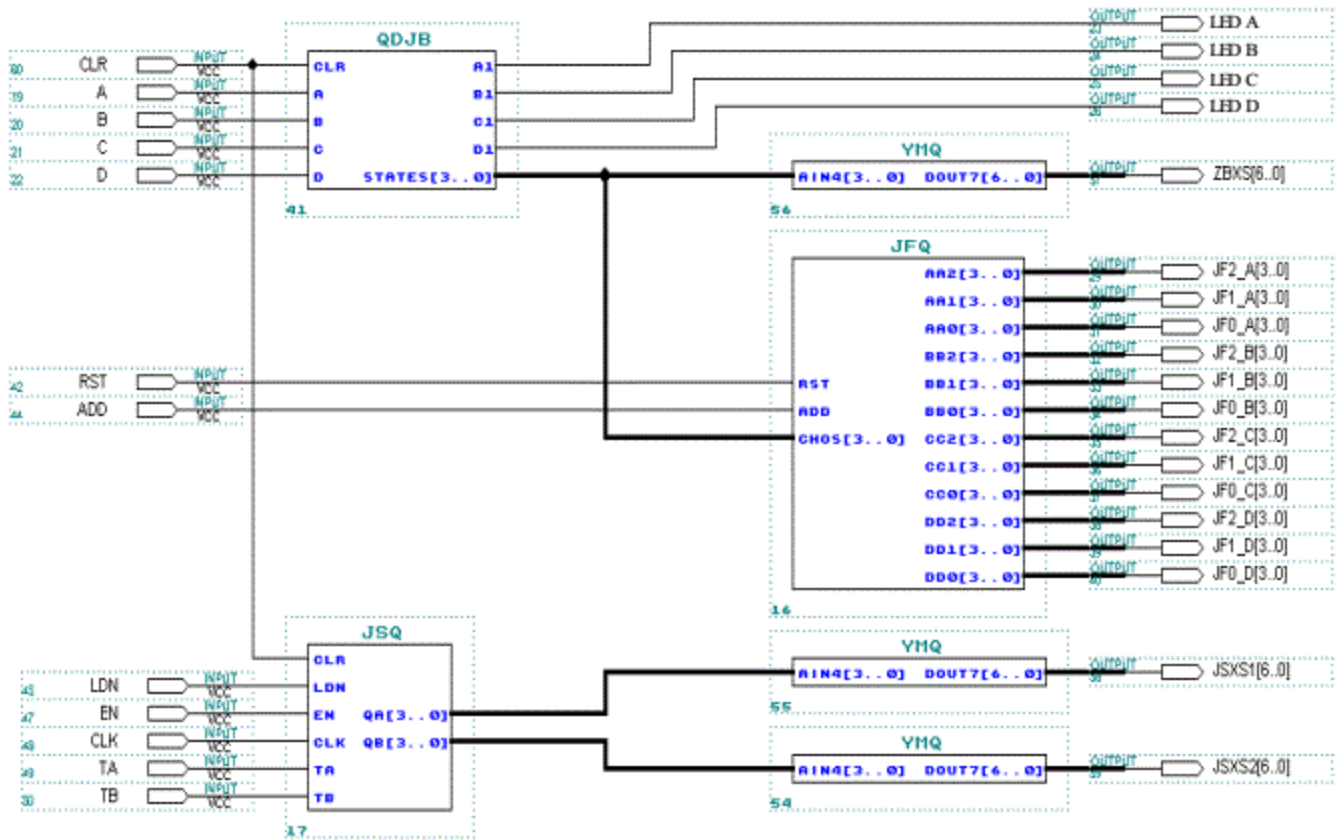


图 2.1

3.1 抢答鉴别模块

3.1.1 抢答鉴别模块的功能

抢答队伍共分为四组 A,B,C,D。当主持人按下 START 键后，四组队伍

才可以按抢答键抢答。抢答成功后表示该组的指示灯见亮起，但在主持人未按下 START 键之前，所有的抢答键按下均是无效的。当任意一个组抢答成功后，其余的组按抢答键无效。抢答键为 A,B,C,D 四个键。

3.1.2 抢答鉴别模块的源程序

```
library ieee;
use ieee.std_logic_1164.all;
entity jb is
    port(sta:in std_logic;
         rst:in std_logic;
         a,b,c,d:in std_logic;
         al,b1,c1,d1:out std_logic;
         states: out std_logic_vector(3 downto 0);
         start: out std_logic);
end entity jb;
architecture art of jb is
    constant w1: std_logic_vector:="0001";
    constant w2: std_logic_vector:="0010";
    constant w3: std_logic_vector:="0100";
    constant w4: std_logic_vector:="1000";
    signal sinor: std_logic;
    signal nsinor: std_logic;
    signal s_start: std_logic;
begin
    sinor<=a or b or c or d;
    nsinor<=not(a or b or c or d);
    start<=s_start;
process(sta,nsinor) is
```

```

begin
if (sta=' 1' ) then
    s_start<=' 1' ;
elseif(nsinor' event and nsinor=' 1' )then
    s_start<=' 0' ;
end if;
end process;
process(rst, sta, sinor, nsinor) is
begin
    if(rst=' 1' or sta=' 1' or nsinor=' 1' )then
        a1<=' 0' ;b1<=' 0' ;c1<=' 0' ;d1<=' 0' ;
    elseif(sinor' event and sinor=' 1' )then
        if(s_start=' 1' )then
            if(a=' 1' )then
                a1<=' 1' ;b1<=' 0' ;c1<=' 0' ;d1<=' 0' ;
            elseif(b=' 1' )then
                a1<=' 0' ;b1<=' 1' ;c1<=' 0' ;d1<=' 0' ;
            elseif(c=' 1' )then
                a1<=' 0' ;b1<=' 0' ;c1<=' 1' ;d1<=' 0' ;
            elseif(d=' 1' )then
                a1<=' 0' ;b1<=' 0' ;c1<=' 0' ;d1<=' 1' ;
            end if;
        end if;
    end if;
end process;
process(sinor) is
begin
    if(rst=' 1' )then
        states<="0000";
    end if;
end process;

```

```
elseif(sinor' event and sinor=' 1') then
  if(s_start=' 1') then
    if(a=' 1') then
      states<=w1;
    elseif(b=' 1') then
      states<=w2;
    elseif(c=' 1') then
      states<=w3;
    elseif(d=' 1') then
      states<=w4;
    end if;
  end if;
end if;
end process;
end architecture art;
```

3. 1. 3 抢答鉴别模块的时序仿真图

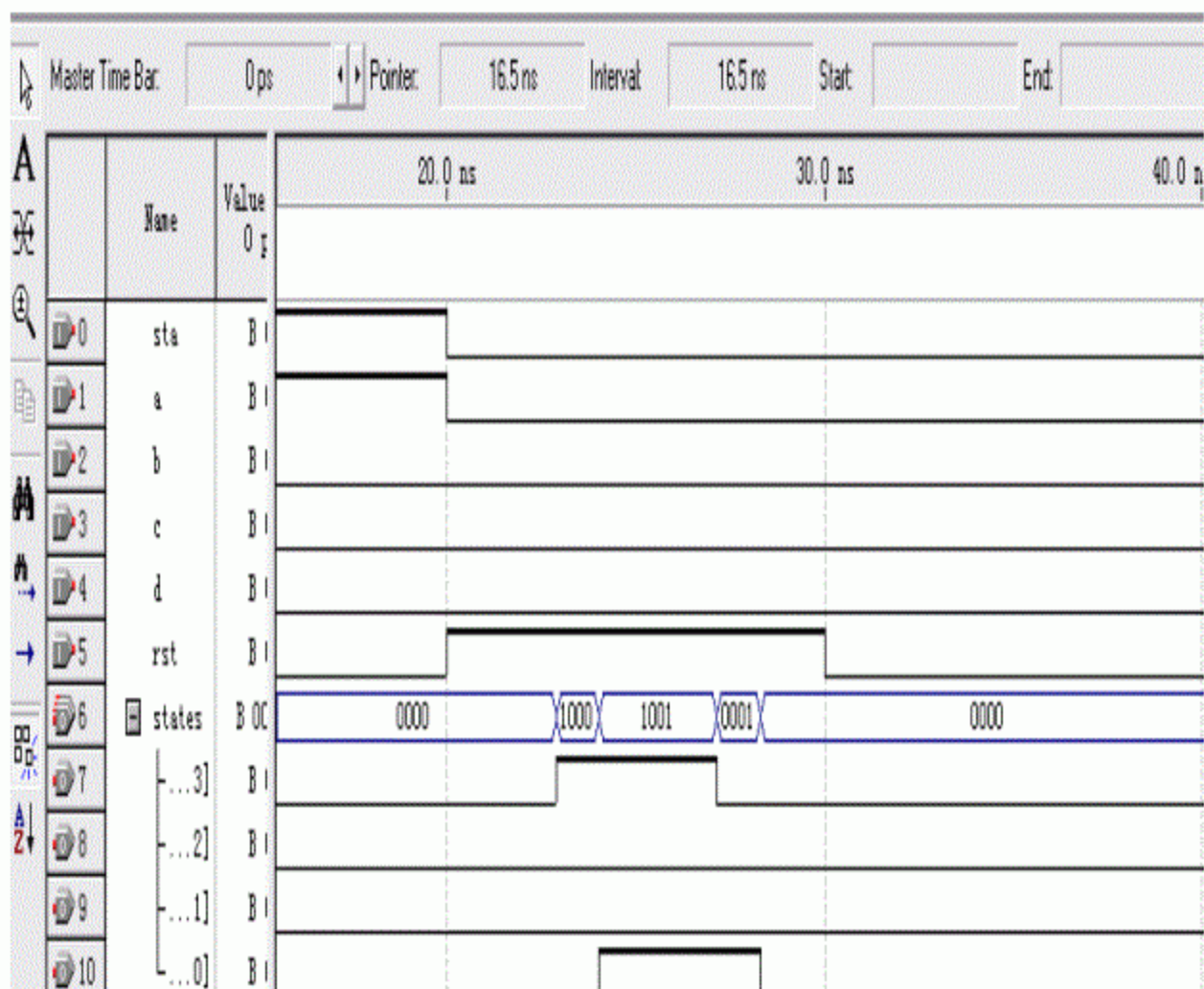


图 4.1

抢答开始后，A 组按下抢答键，抢答成功

3.2 抢答器的抢答计时模块

3.2.1 抢答计时模块的功能

主持人宣布抢答成功后，按下 EN 键，选手开始回答，系统开始计时。TA 和 TB 键选择计时的时间（TA：9 秒，TB：7 秒）

3.2.2 抢答计时模块的源程序

```
library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_unsigned.all;
entity js is
    port (clr, ldn, en, clk: in std_logic;
          ta, tb:          in std_logic;
          qa:              out std_logic_vector(3 downto 0);
          qb:              out std_logic_vector(3 downto 0));
end entity js;
architecture art of js is
    signal da: std_logic_vector(3 downto 0);
    signal db: std_logic_vector(3 downto 0);
begin
    process(ta, clr) is
        begin
            if (clr = '1') then
                da <= "1001";
            elsif (ta'event and ta = '1') then
                if (ldn = '1') then
                    if (da = "0000") then
                        da <= "1001";
                    else
                        da <= da - 1;
                    end if;
                end if;
            end if;
        end process;
    end architecture art;
```

```

        end if;
    end if;
end if;
end process;
process(tb,clr) is
begin
    if(clr='1') then
        db<="0101";
    elsif(tb'event and tb='1') then
        if(ldn='1') then
            if db="0000" then
                db<="1001";
            else
                db<=db-1;
            end if;
        end if;
    end if;
end if;
end process;
process(clk) is
variable tmpa: std_logic_vector(3 downto 0);
variable tmpb: std_logic_vector(3 downto 0);
begin
    if(clr='1') then
        tmpa:="0000";
        tmpb:="0000";
    elsif clk'event and clk='1' then
        if en='1' then
            tmpa:=da;
            tmpb:=db;

```

```
    elsif tmpa="0000" then
        if tmpb="0000" then
            tmpa:="0000";
        else
            tmpa:="1001";
        end if;
        if tmpb="0000" then
            tmpb:="0000";
        else
            tmpb:=tmpb-1;
        end if;
    else
        tmpa:=tmpa-1;
    end if;
end if;
qa<=tmpa;
qb<=tmpb;
end process;
end architecture art;
```

3.2.3 抢答计时模块的时序仿真图

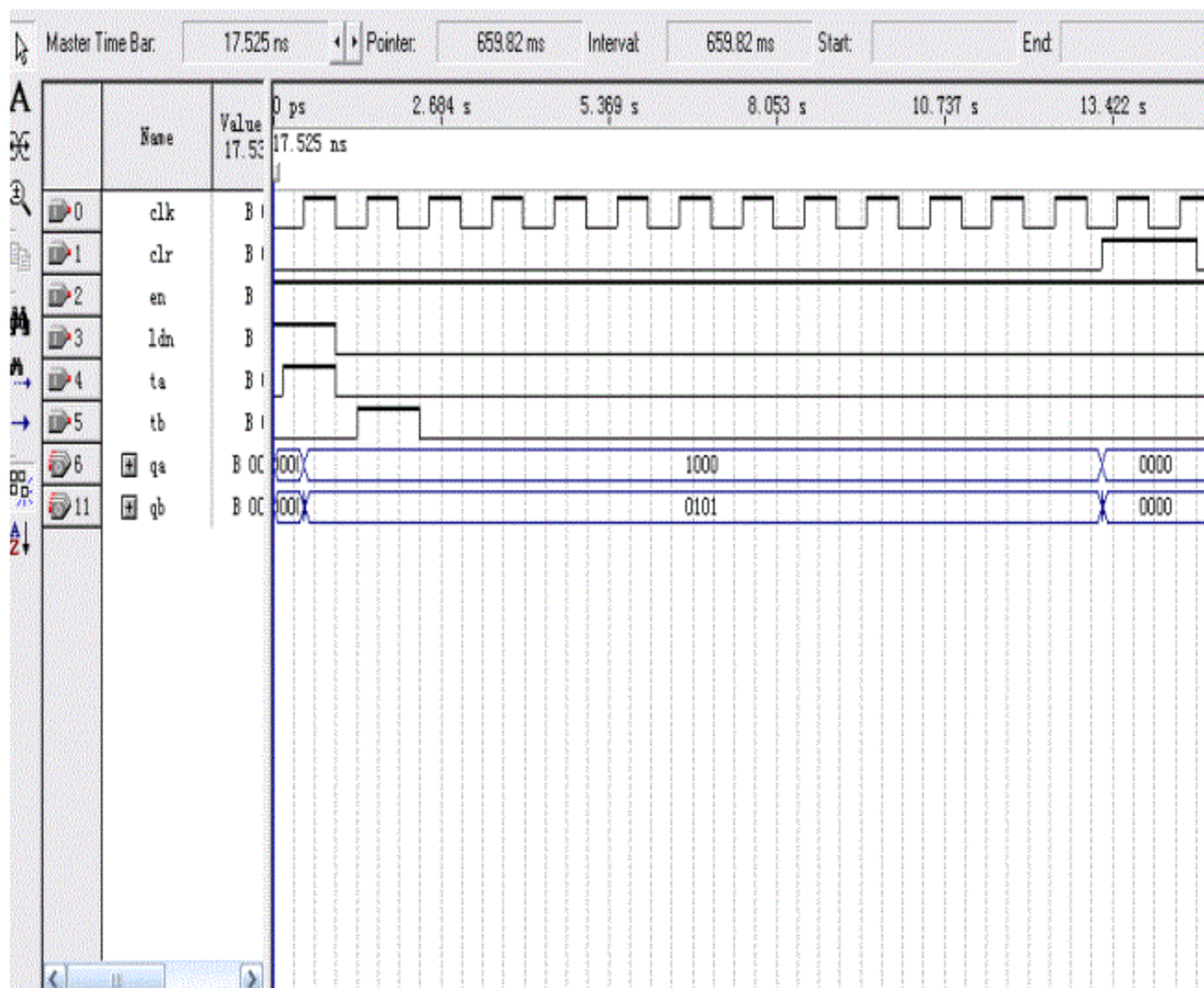


图 5.1

按下 EN 开始答题，回答问题时，选择 TA 模式计时

3.3 抢答器的译码显示模块

3.3.1 译码显示模块的功能

译码显示模块用于显示每组选手的分数，计时的时间等信息。

3.3.2 译码显示模块的源程序

```
library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_unsigned.all;
entity ym is
    port(in4: in std_logic_vector(3 downto 0);
         out7:out std_logic_vector(6 downto 0));
end ym;
architecture art of ym is
    begin
        process(in4)
            begin
                case in4 is
                    when "0000"=>out7<="0111111";
                    when "0001"=>out7<="0000110";
                    when "0010"=>out7<="1011011";
                    when "0011"=>out7<="1001111";
                    when "0100"=>out7<="1100110";
                    when "0101"=>out7<="1101101";
                    when "0110"=>out7<="1111101";
                    when "0111"=>out7<="0000111";
                    when "1000"=>out7<="1111111";
                    when "1001"=>out7<="1101111";
                    when others=>out7<="0000000";
```

```

end case;
end process;
end architecture;

```

3.3.3 译码显示模块的时序仿真图

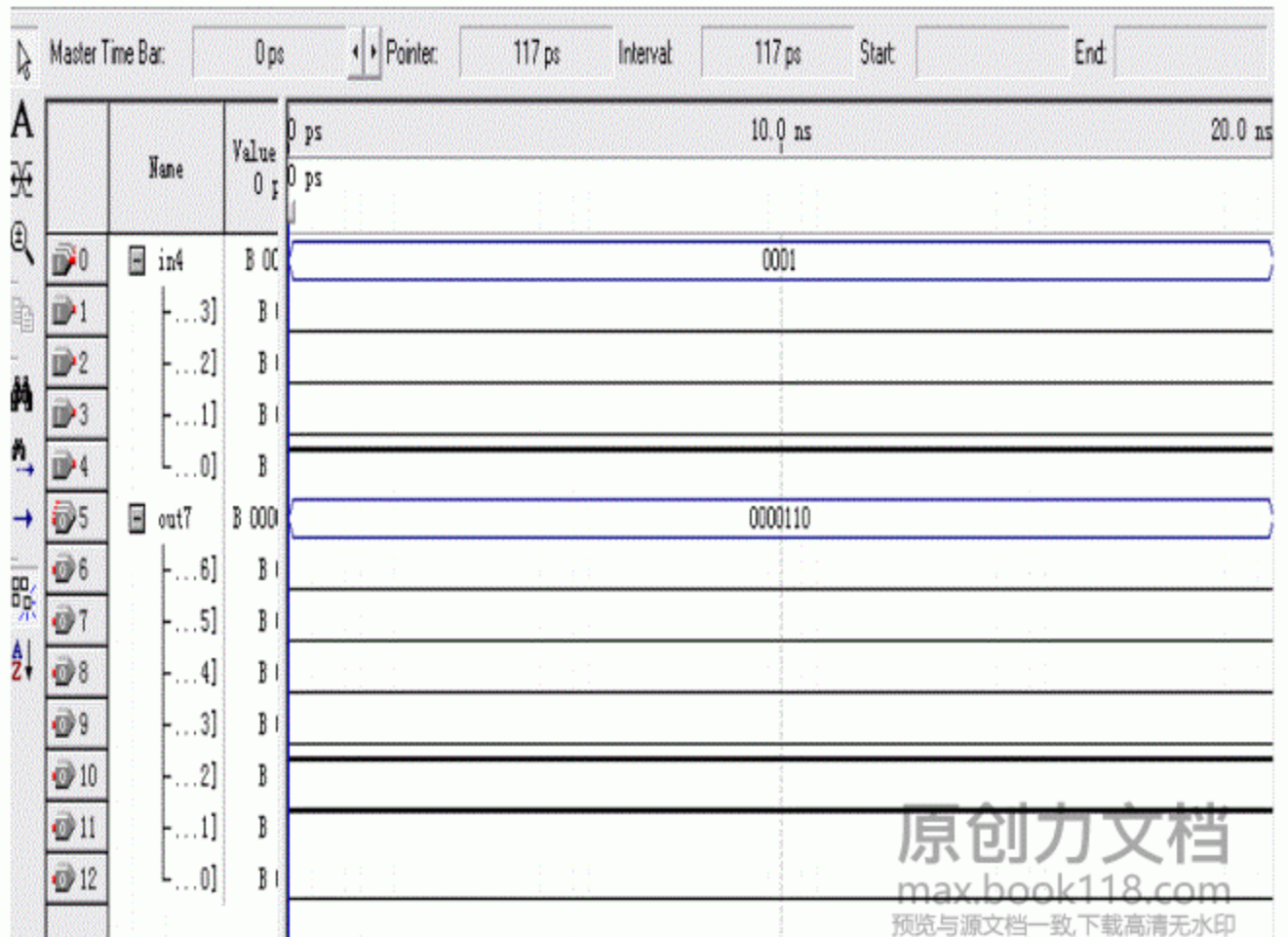


图 7.1

输入 0001，输出 0000110，在共阴极数码管上显示 1

3.4 抢答器的其他功能模块

3.4.1 其他功能模块的具体信息

犯规功能模块：但主持人未按下 START 键时，若有选手按抢答键，系统报警。

犯规功能模块的源程序：

```
library ieee;
use ieee.std_logic_1164.all;
entity fg is
    port(a,b,c,d,start:in std_logic;
         y:out std_logic);
end fg;
architecture bhv of fg is
begin
    process(a,b,c,d,start)
    begin
        if start='0' then
            if (a or b or c or d)='1' then
                y<='1';
            end if;
        else
            y<='0';
        end if;
    end process;
end architecture;
```

犯规功能模块的时序仿真图：

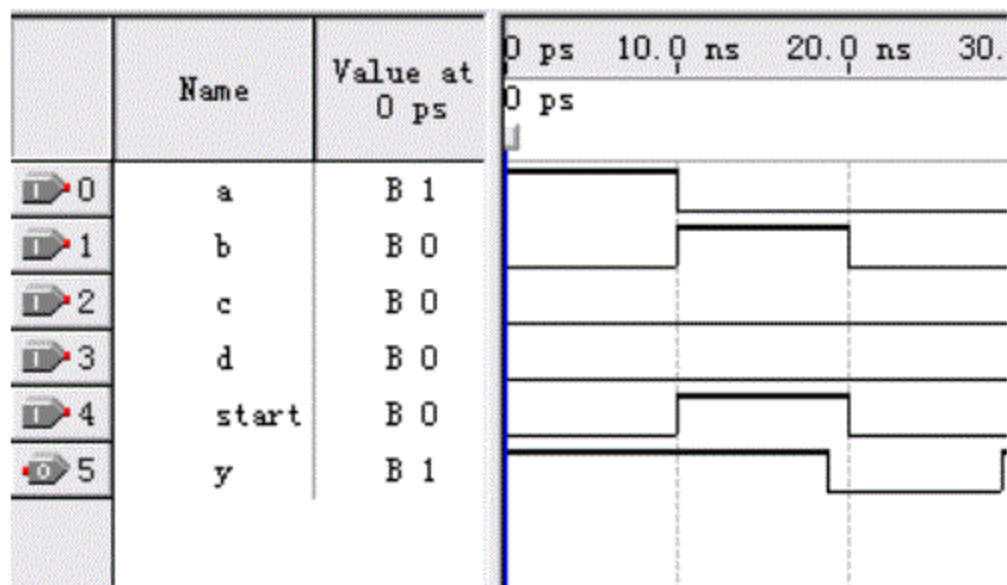


图 8.1

B 组提前抢答，报警铃鸣叫示意

3.5 总体电路的源程序以及仿真波形

```
LIBRARY IEEE;

USE IEEE.STD_LOGIC_1164.ALL;

USE IEEE.STD_LOGIC_UNSIGNED.ALL;

ENTITY qdq IS

    PORT(A,B,C,D,tset,INI,EN,CLK:IN STD_LOGIC;

          tih:IN STD_LOGIC_VECTOR(5 DOWNTO 4);

          til:IN STD_LOGIC_VECTOR(3 DOWNTO 0);

          bell:OUT STD_LOGIC;

          timch:BUFFER STD_LOGIC_VECTOR(5 DOWNTO 4);

          timel:BUFFER STD_LOGIC_VECTOR(3 DOWNTO 0);

          obcd:OUT STD_LOGIC_VECTOR(2 DOWNTO 0));

END;
```

```
ARCHITECTURE one OF qdq IS

    SIGNAL G:STD_LOGIC_VECTOR(3 DOWNTO 0);

    SIGNAL R:STD_LOGIC;

    SIGNAL CLK1:STD_LOGIC;

    SIGNAL sel,out:STD_LOGIC;

    SIGNAL tah:STD_LOGIC_VECTOR(5 DOWNTO 4);

    SIGNAL tal:STD_LOGIC_VECTOR(3 DOWNTO 0);
```

```
BEGIN
```

```
    LOCK:PROCESS(A,B,C,D,G,INI,CLK)
```

```
    BEGIN
```

```
        IF(INI='1')THEN
```

```
            R<='0';
```

```
            G<="0000";
```

```
        ELSIF rising_edge(CLK)THEN
```

```
            IF(A='1' OR G(3)='1')AND NOT (G(0)='1' OR G(1)='1' OR G(2)='1') THEN
```

```
                G(3)<='1';
```

原创力文档

max.book118.com

与源文档一致,下载高清无水印

```

END IF;
IF(B='1' OR G(2)='1')AND NOT (G(0)='1' OR G(1)='1' OR G(3)='1') THEN
    G(2)<='1';
END IF;
IF(C='1' OR G(1)='1')AND NOT (G(0)='1' OR G(2)='1' OR G(3)='1') THEN
    G(1)<='1';
END IF;
IF(D='1' OR G(0)='1')AND NOT (G(1)='1' OR G(2)='1' OR G(3)='1') THEN
    G(0)<='1';
END IF;
R<=A OR B OR C OR D;
END IF;
END PROCESS;

```

```

CB:PROCESS(CLK)
VARIABLE Q:STD_LOGIC_VECTOR(8 DOWNT0 0);
BEGIN
    IF CLK'EVENT AND CLK='1' THEN
        IF(Q="11111111") THEN
            Q:="00000000";
        ELSE Q:=Q+1;
        END IF;
    END IF;
    CLK1<=Q(8);
END PROCESS;

```

```

COUNT:PROCESS(tih,til,tset,timeh,time1,INI,EN,CLK1)
BEGIN
    IF rising_edge(CLK1) THEN
        IF tset='1' THEN

```

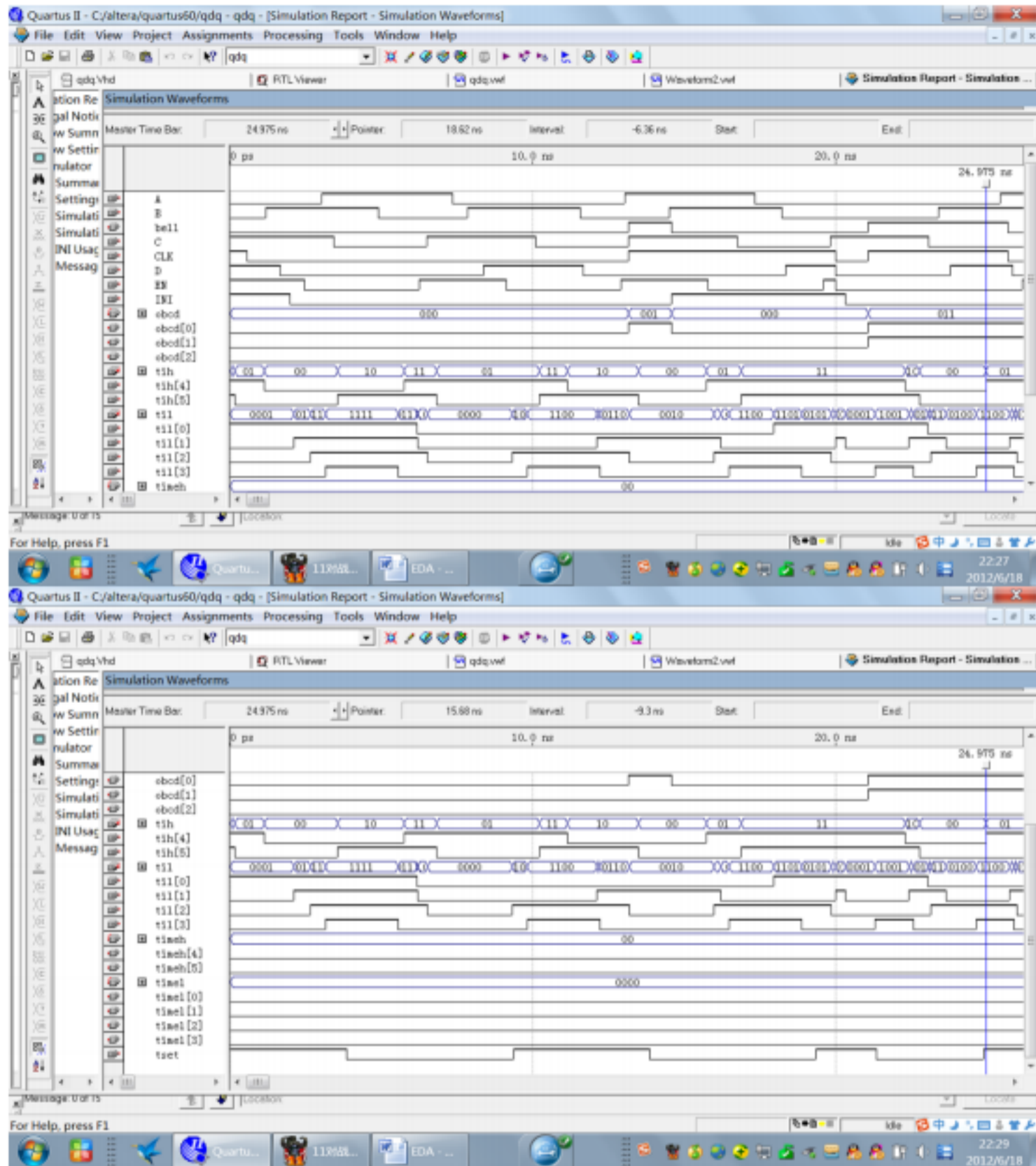
```

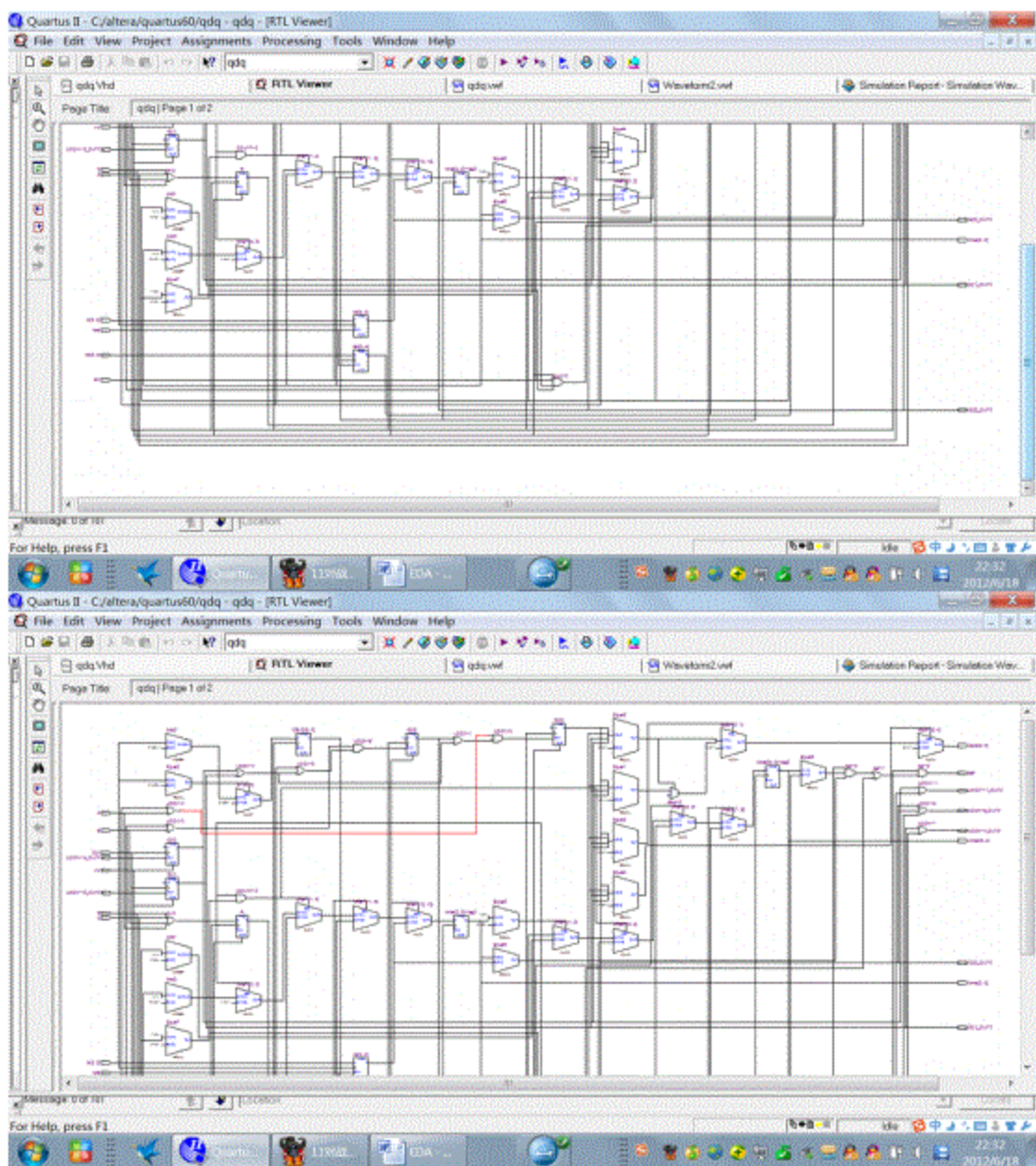
        tah<=tih;
        tal<=til;
END IF;
IF INI='1'THEN
    timeh<=tah;
    timel<=tal;
ELSIF(EN='1')THEN
    timeh<=timeh;
    timel<=timel;
ELSIF(timeh=0 AND timel=0)THEN
    timeh<=timeh;
    timel<=timel;
ELSIF(timel=0)THEN
    timel<="1001";
    timeh<=timeh-1;
ELSE
    timel<=timel-1;
    timeh<=timeh;
END IF;
END IF;
END PROCESS;

obcd<="001"WHEN G="1000"ELSE
    "010"WHEN G="0100"ELSE
    "011"WHEN G="0010"ELSE
    "100"WHEN G="0001"ELSE
    "000";
sel<='1'WHEN(timeh=tah AND timel=tal)ELSE'0';
outc<='1'WHEN(((timeh=0)AND(timel=0)AND(EN='0')AND(INI='0'))ELSE'0';
bell<=((R AND sel)OR outc)AND CLK;

```

END one;





四、结论

通过本次课程设计成功实现了四路竞赛抢答器的功能，完成了课程设计任务，设计中虽然出现了不少问题，不过经过小组成员的共同努力成功解决了这些难题，设计中难免有些纰漏，望老师指正。

五、结束语

本次的 EDA 课程设计历时一个星期，时间虽短，但通过一个星期的实践，使我对 EDA 技术有了更进一步的了解。同时，大致懂得了一个课题制作的具体流程和实施方法。另外，课程设计对 Quartus II 软件的使用要求较高，从而使我能较为熟练的运用此软件。在设计时，采用模块化的设计思路使得问题变的简单明了，大大缩短了时间，降低了发生错误的机率，也便于修改和更新。

课程设计中，需要找很多资料，在当今的信息化环境中，虽然资料很多，但需要仔细斟酌才能找到所要的。这次的课程设计很好的锻炼了这种能力。此外，与同学和老师的交流必不可少，我从中也学到了不少东西。

课程设计是一次很好的锻炼机会，我从中学的很多知识对将来的学习和工作都有很大的帮助，十分感谢学校能提供这样一个机会。

六、参考书目

- 【1】潘 松 黄继业 ,EDA 技术与 VHDL (第 2 版),清华大学出版社,2007
- 【2】曹昕燕 周凤臣 聂春燕,EDA 技术实验与课程设计,清华大学出版社. 2006
- 【3】杭州康芯电子有限公司 GW48-PK3 实验系统说明书. 杭州康芯电子有限公司.2006