

电路网络幅频特性测试仪

1 引言

频率特性是一个系统(或网络)对不同频率正弦输入信号的响应特性, 电子测量中经常遇到的就是对未知系统或电路网络传输特性的测量, 尤其是电路网络幅频特性的测量。一般情况下, 一个系统或电路网络的电路网络幅频特性就能表征其电气性能, 如系统固有角频率、系统阻尼率等。早期, 这些网络参数的测试是在固定频率点上逐点手工操作调节进行的, 因此测试方法繁琐、效率低下, 精度不高, 且不直观, 有时因取点有误还会得出错误的结果。而专用测试工具大致可分为两类: 一类是传统设备, 如国产的 BT4 型低频特性测试仪, BT4 存在设备体积大(达 10 余公斤), 易有故障, 并且操作复杂等缺点, 难以满足尤其是现场自动测试的要求; 另一类是采用集数据采集和运算功能于一体的大规模新型芯片技术制造的测试仪, 一般为进口产品, 价格昂贵, 结构复杂, 维护困难, 体积庞大等缺点。

随着单片微处理器技术的迅猛发展, 并在智能仪表中得到了广泛的应用。软件来代替部分硬件完成频率特性的测试, 便成为一种比较理想而有效的途径。本设计以 51 单片机为主要控制芯片, 借助单片机的内部资源及其数据处理能力, 采用大规模直接数字合成(DDS)技术, 完成了一款便携式的电路网络幅频特性测试仪。该设计以触摸屏作为系统输入, 以菜单方式切换功能操作, 以 320*240 图形点阵液晶屏作为系统输出, 人机界面友好。本系统在测量频带内, 具有测量精度高, 测量速度快, 显示直观, 并对一些测量参量采用实时数字显示。

1.1 测试原理

当系统的输入为正弦信号时, 则输出的稳态响应也是一个正弦信号, 其频率和输入信号的频率相同, 但幅度和相位发生了变化, 而变化取决于角频率 ω 。若把输出的稳态响应和输入正弦信号用复数表示, 并求它们的复数比, 则得下式:

$$G(j\omega) = A(\omega)e^{j\theta(\omega)}$$

(1-1)

$G(j\omega)$ 称为频率特性, $A(\omega)$ 是输出信号的幅值与输入信号幅值之比, 称为电路网络幅频特性。 $e^{j\theta(\omega)}$ 是输出信号的相角与输入信号的相角之差, 称为相频特性。其中, 电路网络幅频特性是电路网络的一个重要特性, 一般情况下一个电路网络的电路网络幅频特性就代表了此电路网络的特性, 所以, 本文探讨电路

网络幅频特性参数的测试。在实际测量中,用一个随着时间按一定规律,并在一定频率范围内扫动的信号对被测电路网络进行快速、定性或定量的动态测量,给出被测电路网络的电路网络幅频特性实时测量结果。测量原理见图 1-1:



图 1-1 测量原理

由本系统产生正弦激励信号去激励被网络,通过采集输入被测网络之前的信号幅值与从被测网络出来的信号的幅值,相除得到被测对各频率正弦信号的增益情况,从而得出被测网络的电路网络幅频特性。

1.2 国内外研究现状、发展动态

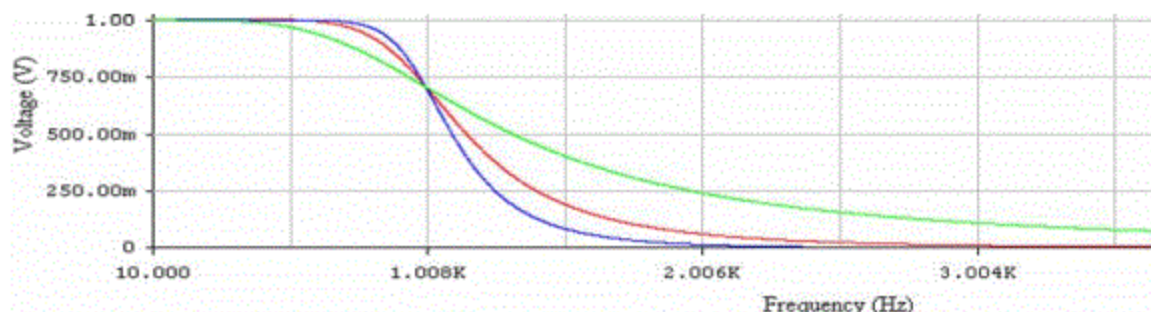


图 1-2 二阶(绿)、四阶(红)、六阶(蓝)滤波器电路网络幅频特性

目前在教学、科研、生产、生物工程等诸多领域中使用的电路网络幅频特性测试仪一般分为两类:一类是传统式的频率特性测试仪,其以压控振荡电路产生扫频正弦信号,示波管作为显示器,来直接显示被测电路的电路网络幅频特性曲线,图 1-2 二阶(绿)、四阶(红)、六阶(蓝)滤波器电路网络幅频特性^{[1][2][3]}。

由于压控振荡器的频率稳定性不好,而且频率分辨率也不高,会对整个测量结果的精度造成较大的影响。另外示波管的使用,使得整个仪器在外形上显得庞大,笨重,如 BT-3GII 型的扫频仪重量达到 10kg,不方便移动式测量,同时价格昂贵,给使用带来诸多不便。另外一类是数字式的频率特性测试仪,其以直接数字合成技术(DDS)产生扫频正弦信号,采用点阵液晶作为显示器,由微处理器对数据进行处理及各部分电路的控制。但此类频率特性测试仪价格昂贵。

1.3 本仪器的主要功能和指标

1、扫频范围为 10Hz~700KHz;在此范围内可由用户任意设定上下限频率。

2、步长设定为通过键盘可任意设定(1、2、3...n)频率间隔,实现线性增长;3、即可以测试有源四端网络也可以测试无源四端网络。4、选用 320×240 图形点阵液晶显示模块,显示测量得到的电路网络幅频特性曲线、汉字、字母、数字、图形等;5、使用液晶触摸屏,使用户方便地设置扫频参数。6、智能查找某个频点的网络增益,用户通过面板输入要查找的频率,系统就会在电路网络幅频特性曲线上将此点用光标标出,光标所对应的扫频频率及被测网络的增益也会以数字方式显示于高分辨率液晶屏上,光标可通过面板上的“left”“right”按键,实现左右步进移动。7、最佳的增益控制,系统先通过一次全频的扫频,记录下最大的一次网络增益,然后以为基础,调整增益,以获得最佳的扫频效果。

2 设计任务与方案论证

2.1 设计任务

表 2-1 是本系统的主要设计指标。其中实现测量的精度是本设计最为关键的地方,LCD 触摸屏实现人机接口以及电路网络幅频特性曲线的显示是本设计的一个难点。

表 2-1 设计指标

指标	要求
激励信号波形	正弦波
扫频带宽	10Hz~500KHz
频率步进	可任意输入
测量精度	优于 5%
人机接口	LCD 触摸屏
显示	LCD 菜单式及电路网络幅频特性曲线的显示
电源	自制 5V
自制 PCB, 用 C 语言编程	

2.2 系统总方案思路

系统是要将扫频信号作为输入信号激励被测网络,通过峰值检波电路得到输出和输入信号的幅值比关系,经过 ADC 采样将数据送给处理器进行计算,将处理后的存储并在 LCD 显示模块将电路网络幅频特性曲线显示出来。

本系统的设计重点是正弦扫频信号发生模块、控制模块、交流信号的幅值测量、电路网络幅频特性曲线的液晶显示模块。故针对这些模块体提出方案论证和比较。

2.3 正弦扫频信号发生模块方案

正弦扫频信号发生器是本设计的核心部分。要求能产生优于 10^{-4} 的频率稳定度，且在10HZ~500KHZ 范围内,最小步进是1Hz 的步进。

方案一：采用传统的直接频率合成法合成。经过混频、倍频、分频网络和带通滤波器完成对频率的算术运算。但由于采用大量的模拟环节，导致直接频率合成器的结构复杂，体积庞大，成本高，而且容易引入干扰，影响系统的稳定性，难以达到较高的频谱纯度。

方案二：采用锁相环间接频率合成（PLL）。虽然具有工作频率高、宽带、频谱质量好的优点，但是由于锁相环本身是一个惰性环节，锁定时间较长，故频率转换时间较长，很难满足系统要求的高速度指标。另外，由于模拟方法合成的正弦波参数都很难控制，不易实现。

方案三：采用直接数字式频率合成（DDS）^{[13][14]}。用随机读/写存储器 RAM 存储所需波形的量化数据，按不同频率要求，以频率控制字 K ^{[10][11]}为步进对相位增量进行累加，以累加相位值作为地址码读取存放在存储器内的波形数据，经过 D/A 转换和幅度控制，再滤波即可得到所需波形。由于 DDS 具有带宽很宽，频率转换时间极短（小于 $20\mu s$ ），频率分辨率高，全数字化结构便于集成等优点，以及输出相位连续，频率、相位和幅度均可实现程控，完全可以满足本题目的要求。DDS 有着较多的优点，但是 DDS 技术也有内在的缺陷——杂散噪声^[9]。

为了全面实现题目的要求，选择最合适的三号方案，使用高性能的 DDS 集成芯片 AD9851 作为正弦波扫频信号发生器的核心，实现高速、高精度、高稳定性的正弦信号输出。

2.4 控制模块方案

方案一：用 AT89C52 单片机^{[4][6][7]}为系统的主控核心。单片机体积小，使用灵活，布尔运算易于人机对话和良好的数据处理，有较强的指令寻址和运算功能。而且单片机的功耗低，价格低廉。

方案二：用 FPGA 等可编程器件作为控制模块的核心。FPGA 可以实现各种复杂的逻辑功能，规模大，密度高，他将所有器件集成在一块芯片上，减小了体积增加了稳定性，并且可应用 EDA 软件仿真、调试，易于进行功能扩展。FPGA 采用并行的输入/输出方式，提高了系统的处理速度，适合作为大规模实时系统的控制核心。其工作为纯软件行为，全部由程序来控制，具有快速、可靠性高等优点。就 FPGA 的制造工艺而言，FPGA 掉电后数据会丢失，上电后必

须进行一次配置，因此 FPGA 在应用中需要配置电路和一定的程序，并且 FPGA 器件作为一个数字逻辑器件，竞争和冒险正是数字逻辑器件较为突出的问题，因此在使用时必须注意毛刺的消除及抗干扰性，从而增大了电路或程序的复杂程度和可实施性。

采用单片机作为控制器比 FPGA 更适合本系统的规模。充分考虑到综合性价比和控制的方便程度，确定选择方案一作为系统的控制核心模块方案。

2.5 交流信号幅值测量方案

方案一：采用真有效值转换芯片（如 AD637），将输入信号转换成有效值的形式输出，供后级的 A/D 采样。此种方案的测量精度较高，但由于有效值转换芯片转换的过程相对较长（一般为几十到几百个 ms），对于幅频特性，需要采集很多个点，此种方案的测量过程将是很长的。

方案二：采用峰值保持电路，这种方案只要输入信号的第一个峰到便将这个信号的峰值记录下来。对于频率为 f 的一个信号，那么采用此方案记录到峰值的最长时间为输入信号的一周期 $T = 1/f$ ，由公式上可以看出当输入信号的频率越高采集到峰值信号的时间将越短。

综合所有的因素，采用方案二更适合本设计。

2.6 显示模块方案

方案一：采用 LED 数码管显示。虽然功耗低，控制简单，但显示能力有限，人机界面较差。

方案二：采用和点阵型 LCD 高分辨率液晶屏显示。可以显示所有字符及自定义字符，并能同时显示多组数据、汉字，字符清晰。由于自身具有控制器，不但可以减轻单片机的负担，而且可以实现菜单驱动方式的显示效果，实现编辑模块全屏幕编辑的功能，达到友好的人机界面。用 LCD 显示，能解决 LED 只能显示数字等几个简单字符的缺点，性能好，控制方便，显示方式多。

方案三：采用 LCD 触摸屏显示。在高分辨率液晶屏基础上增加触摸面板，虽然成本较高，但可以更直接地在屏幕上对各参量进行控制，将输入界面和输出界面一体化，使人机界面更加优秀。

经过权衡，采用方案三对输出的电路网络幅频特性进行波形显示。

2.7 方案确定

经过仔细分析和论证，确定系统各模块最终方案如下，如图表 2-2：

表 2-2 主要器件选用清单

功能	选用的器件
控制	单片机 AT89C55WD
扫频信号	DDS 芯片 AD9851+30MHz 有源晶振

峰值保持电路	LF398+比较器 LM311
模/数转换芯片	12 位 A/D 芯片 MAX197
人机接口模块	液晶触摸屏

3 单元电路设计

3.1 总体设计方案论证

根据题目要求，本系统由一片 AT89C55 控制 AD9851 的 32 位频率控制字^[5]，产生正弦扫频信号。为了得被测网络的到电路网络幅频特性，将输入信号和输出信号分别经过峰值检波网络检测峰值，得到两路信号 u_i 和 u_o 的峰值。由高速 12 位 AD 转换器 MAX197 将采集到的这两路模拟直流信号转换成数字值由 AT89C52 处理并存储，经过计算得到被测网络的电路网络幅频特性，最后将此电路网络幅频特性在 LCD 显示屏上显示出来。对整个系统参数的设置及数据的显示都由触摸显示屏实现。

系统框图如图 3-1 所示

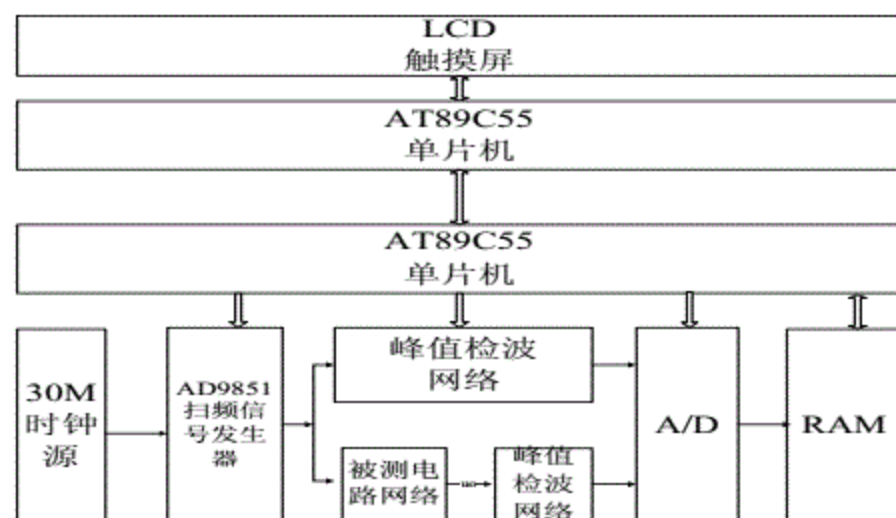


图 3-1 系统组成框图

3.2 AD9851 扫频信号发生器模块

3.2.1 DDS 扫频信号源原理

扫频法是频率特性测量的两种经典方法之一，与点频逐点调整信号发生器不同，它是利用扫频信号发生器输出自动连续变化的频率信号，对被测系统进行动态式的扫频测量，它简单快捷，可以方便地测量系统的频率特性、动态特性等。

但就几种常用扫频法横向比较而言，传统采用磁调电感、变容二极管、反

波管和钽铁石榴石（YIG）谐振器来实现扫频还是难以达到高指标的扫频速度、频率准度。频率合成技术特别是 DDS 技术用于扫频信号源中，使其频率准确度大幅提高。可编程 DDS 系统原理如图 3-2 所示。

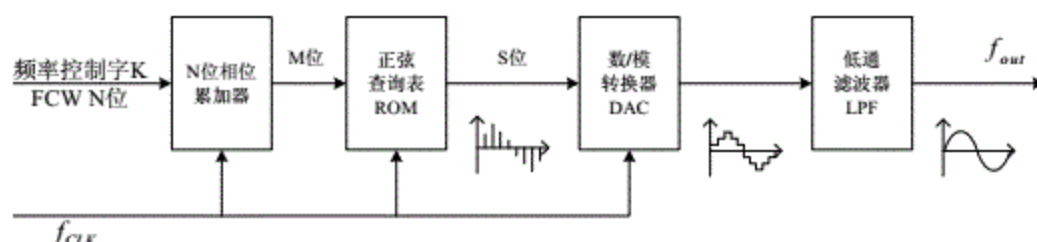


图 3-2 DDS 基本原理图

DDS 是采用纯数字化的方法，将所需的正弦波形一个周期的离散采样点的幅值存储在 ROM 或 RAM 中，再按一定的相位增量（地址间隔）读出，经过 D/A 转换后，成为模拟正弦波信号。

若 f_{clk} 为 DDS 的时钟频率，N 为相位累加器的位数，M 为相位累加器的增量，则输出频率 f_{out} 可表示为：

$$f_{out} = \frac{M}{2^N} f_{clk} \quad (3-1)$$

若地址增量 M 不是定值，而是随时间增长，即可获得频率由低变高的扫频信号。DDS^{[13][14]}的输出频率和相位由控制字决定，而改写控制字可以瞬间完成，因此可以实现快速调频和调相。

3.2.2 正弦扫频信号发生电路设计

AD9851 是 AD 公司推出的具有高集成度 DDS 电路的器件，它内部包含高速 D/A 转换器及高速比较器。AD9851 是产生扫频信号的核心器件，下面就该芯片的特性和工作方式作一些说明。

（1）AD9851 的主要特性

外接精密时钟源时，AD9851 可以产生一个频谱纯净、频率和相位都可以编程控制且稳定性很好的模拟正弦波，AD9851 主要特性如下：

- (1) 单电源工作 (+2.7~+5.25V)；
- (2) 工作温度范围 45℃~85℃；

(3)低功耗, 在 180MHz 系统时钟下, 功率为 555mW。电源设置有休眠状态, 在该状态下, 功率为 4mW;

(4)接口简单, 可用 8 位并行口或串行口直接输入频率、相位控制数据 ;

(5)内含 6 倍参考时钟倍乘器。可避免对外部高速参考时钟振荡器的需要, 减小了由于外部频率源过高而可能产生的相位噪声;

(6)频带宽, 正常输出工作频率范围为 0~72MHz;

(7)频率分辨率高, 其创新式高速 DDS 码可接受 32 位调频字, 使得它在 180MHz 系统时钟下输出频率的精度可达 0.04Hz;

(8)相位可调, 可接收来自单片机的 5 位相位控制字。

(2) AD9851 的控制方式

AD9851 内部有 5 个输入寄存器, 储存包括来自外部数据总线的 32 位频率控制字、5 位相位控制字、一位 6 倍参考时钟倍乘器使能控制、一位电源休眠功能控制和一位逻辑 0 共 40 位数据。寄存器接收数据的方式有并行和串行两种方式。

本设计中采用并行方式, 时序图如图 3-3 所示:

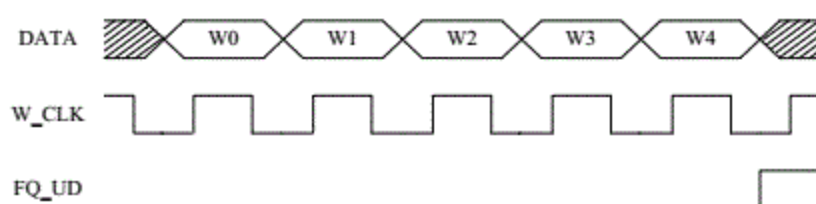


图 3-3 AD9851 并行方式时序图

并行方式是通过 8 位数据总线 D0~D7 来完成全部 40 位控制数据的输入。复位信号 RESET 有效会使输入数据地址指针指向第一个输入寄存器, W_CLK 上升沿写入第一组 8 位数据, 并把指针指向下一个输入寄存器, 连续 5 个 W_CLK 上升沿后, 即完成全部 40 位控制数据的输入, 此后 W_CLK 信号的边沿无效。当 FQ_UD 上升沿到来之际 40 位数据会从输入寄存器被写入频率和相位控制寄存器, 更新 DDS 的输出频率和相位, 同时把地址指针复位到第一个输入寄存器, 等待着下一组新数据的写入。

3.2.3 AD9851 与单片机接口电路设计

AD9851 为 28 引脚表贴元件, 本设计中应用到的引脚功能如下表所示。

表 3-1 AD9851 部分引脚功能表

引脚号	引脚名	功能描述
-----	-----	------

4~1, 28 ~25	D0~D7	8 位数据输入口。可给内部寄存器装入 40 位控制数据
5	PGND	6 倍参考时钟倍乘器地
6	PVCC	6 倍参考时钟倍乘器电源
7	W_CLK	字装入信号，上升沿有效。
8	FQ_UD	频率更新控制信号，时钟上升沿确认输入数据有效。
9	REFCLOCK	外部参考时钟输入。CMOS / TTL 脉冲序列可直接或间接地加到 6 倍参考时钟倍乘器上，在直接方式中，输入频率即是系统时钟；在 6 倍参考时钟倍乘器方式中，系统时钟为倍乘器输出。
10	AGND	模拟地
11	AVDD	模拟电源(+5V)
24	DGND	数字电源(+5V)
23	DVDD	数字地
12	Rset	DAC 外部复位连接端
22	RESET	复位端，低电平清除 DDS 累加器和相位延迟器为 0Hz 和 0° 相位，同时置数据输入为串行模式以及禁止 6 倍参考时钟倍乘器工作

AD9851 可以直接与单片机接口。为增加驱动能力，在他们之间增加一个 74LS245 作为数据缓冲器。AD9851 的 8 位数据线 D0~D7 和单片机 P0 口相连。P2.0~P2.3 分别与 FQ_UD、W_CLK、245 的使能端（低电平有效）、RESET 端相连，REFCLOCK 连到 30M 晶振上。

应用电路如图所示：

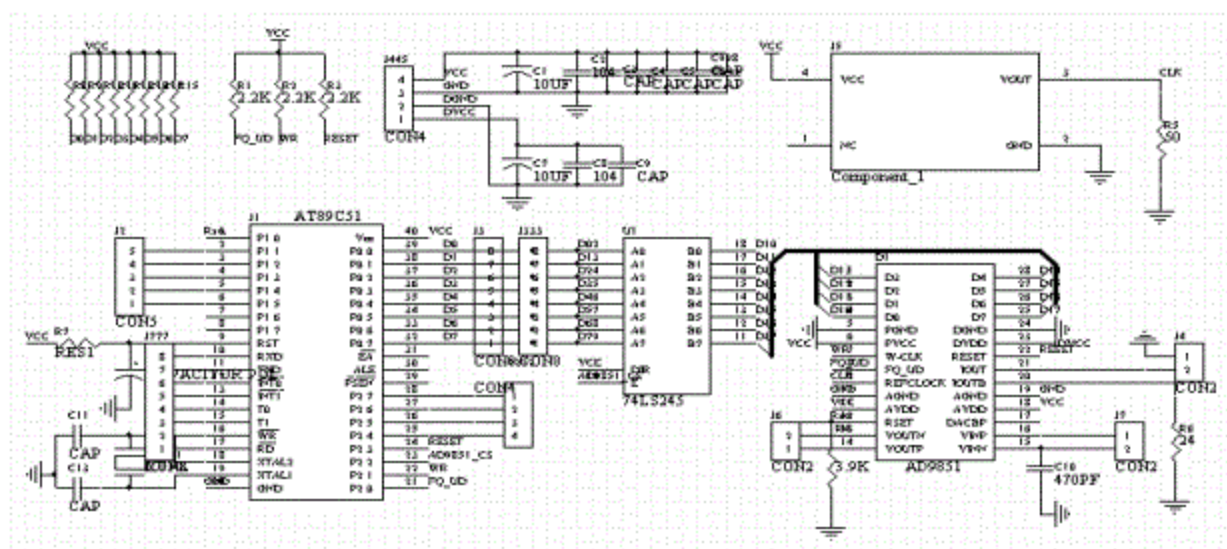


图 3-3 AD9851 接口电路图

3.2.4 AD9851 工作原理

在产生扫频信号时，30MHz 晶振经过 6 倍频产生 180MHz 的系统时钟，与之同步的 W_CLK 字将输入信号将描述频率步进量的 32 位频率控制字通过 P0 口传给 AD9851 的输入寄存器，设频率步进量为 Δf ，频率控制字的值为 M，由式得：

$$\Delta f = \frac{f_{clk}}{2^{32}} \times M$$

(3-2)

因为 $f_{clk} = 30 \times 10^6 \times 6 = 180MHz$ ，M 在 $1 \sim 2^{32}$ 范围内变化，所以 Δf 理论上可以取到 0.04Hz~180MHz 内的数值，但由于 ROM 中的幅值表实际上只存储 1024 个数据，当 $M=2^{21}$ 时有：

$$\Delta f = \frac{f_{clk}}{2^{32}} \times 2^{21} = \frac{f_{clk}}{2048}$$

(3-3)

此时满刚好足采样定理 $f_s > 2f_m$ ，所以当 M 超过 2^{21} 时的频率步进量不应该采用。故频率步进量范围为 0.04Hz~90KHz。这样就能产生频率步进量可变的扫频信号。

因为题目要求的频率步进最小为 1Hz，由上面的范围可知，显然可以满足这个指标。

例如，当想得到频率以 10Hz 步进的扫频信号时，则其做法为：将 10Hz 频率控制字送给 AD9851 的输入寄存器后，通过相位累加器输出，第一次的输出频率值 $f_{out1}=10Hz$ ，并且保存此时的频率值。第二次在此基础上加上一个频率步进量（这里为 10Hz）再将相加后的频率控制字送给 AD9851 的相位累加器，这样第二次输的频率值 $f_{out2}=20Hz$ ，以此类推，每个时钟脉冲都进行一次累加，输出频率随时间线性增加，达到扫频的效果。

3.3 交流信号幅度检测电路的设计

采用峰值检波的方法来检测输入扫频信号和输出信号的幅值。选用 LF398 构成采样-保持电路，对输入和输出信号进行采样，筛选出峰值并予以保持。LF398 捕获时间 $T_{AC} < 10\mu s$ ，孔径时间 $T_{AP} < 1ns$ ，故孔径误差小，可以满足本设计的要求。电路接线如图 3-4 所示。