

EDA 技术课程设计

设计题目：数字频率计的设计

专业：电气工程及其自动化

班级：12 电气（1）班

设计人：李家强

指导老师：龙凤兰

完成日期：2015 年 6 月 30 日

内容摘要:

抢答器是为智力竞赛参赛者答题时进行抢答而设计的一种优先判决器电路，竞赛者可以分为若干组，抢答时各组对主持人提出的问题要在最短的时间内做出判断，并按下抢答按钮回答问题。当第一个人按下按钮后，则在显示器上显示该组的号码，对应的灯亮，同时电路将其他各组按钮封锁，使其不起作用。若抢答时间内无人抢答，则报警灯亮。回答完问题后，由主持人将所有按钮恢复，重新开始下一轮抢答。因此要完成抢答器的逻辑功能，该电路应包括抢答器鉴别模块、抢答器计数模块、报警模块、译码模块、分频模块。

关键词：抢答鉴别 封锁 计数 报警

Abstract

Responder is the answer for the quiz participants to answer in the design when a priority decision circuit, and the race can be divided into several groups, answer in each group on the host issues raised in the shortest possible time to make judgments, and press the answer in answer key. After pressing the button when the first person, then the display shows the number of the group, the corresponding lights, while other groups will be key circuit block, it does not work. If the answer in time, no answer in, the alarm lights. Answering questions, all the keys from the host to restore and re-start the next round of the Responder. So to complete the answering device logic functions, the circuit should include Responder identification module, Responder counting module, alarm module, decoding module, frequency module.

KEY: Responder Identification Blockade Count Alarm

一、设计内容

选用合适的可编程逻辑器件及外围电子元器件，设计一个数字频率计，利用 EDA 软件（QUARTUS II）进行编译及仿真，设计输入可采用 VHDL 硬件描述语言输入法和原理图输入法，并下载到 EDA 实验开发系统，连接外围电路，完成实际测试。

二、设计要求

- (1) 频率计的测量范围为 0-999kHz，量程分 10kHz、100kHz 和 1000kHz 三档（最大读数分别为 9.99kHz、99.9kHz、999kHz）。
- (2) 要求量程可根据被测量的大小自动转换，即当计数器溢出时，产生一个换挡信号，让整个计数时间减少为原来的十分之一，从而实现换挡功能。
- (3) 要求实现溢出报警功能，即当频率高于 999kHz 时，产生一个报警信号，点亮 LED 灯，从而实现溢出报警功能。

三、方案设计与论证

1、概述

将该任务分成五个模块进行设计，分别为：抢答器鉴别模块、抢答器计时模块、译码模块（抢答器计分模块）

2、抢答器鉴别模块：

在这个 QDJB 模块中主要实现抢答过程中的抢答功能，并能对超前抢答进行警告，还能记录无论是正常抢答还是超前抢答者的台号，并且能实现当有一路抢答按键按下时，该路抢答信号将其余的抢答信号封锁的功能。其中有四个抢答信号 a、b、c、d；系统复位信号 CLR。

3、抢答器计数模块：

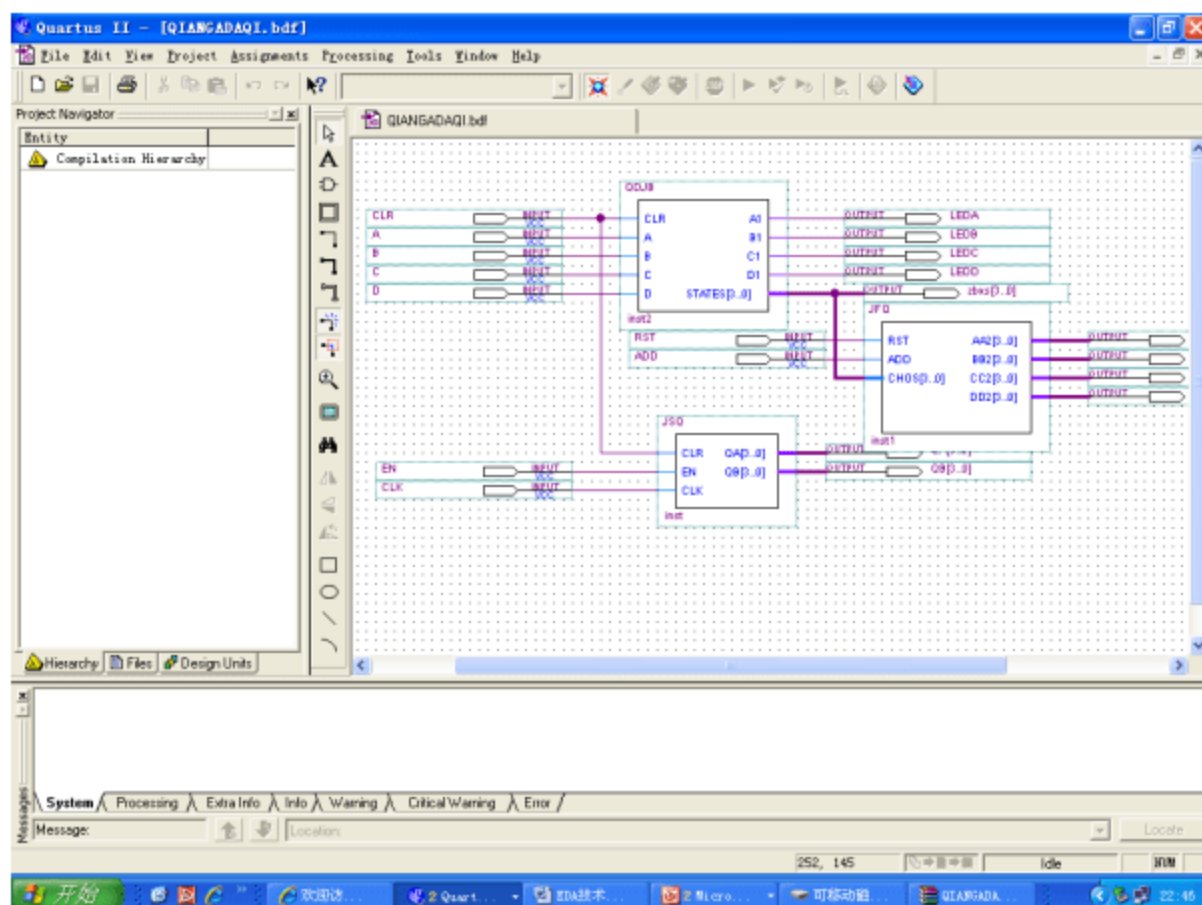
在这个模块中主要实现抢答过程中的计时功能，在有抢答开始后进行 60 秒的倒计时。其中有抢答时钟信号 CLK；系统复位信号 CLR；计时十位和个位信号 QA，QB。

4、译码模块：

在这个模块中主要实现抢答过程中将 BCD 码转换成 7 段的功能。

四、方案的原理框图及其说明

1) 原理图:



2) 说明:

图中 QDJB 的 a, b, c, d 分别为四路输入抢答; CLR 为系统抢答复位; LEDA, LEDB, LEDC, LCDD 为四路输出显示; states 为抢答确认。

图中 JSQ 的 EN 为电平使能端; CLK 为时钟信号。

图中 JFQ 的 RST 为计数器复位; ADD 为计数信号输入; CHOS 为抢答确认输出;

AA2[3..0], BB2[3..0], CC2[3..0], DD2[3..0] 为计数译码输出。

五、单元电路设计

（一）抢答鉴别模块

1. VHDL 源程序

```
LIBRARY IEEE;
USE IEEE.STD_LOGIC_1164.ALL;
ENTITY QDJB IS
PORT(CLR:IN STD_LOGIC;
A,B,C,D:IN STD_LOGIC;
A1,B1,C1,D1:OUT STD_LOGIC;
STATES:OUT STD_LOGIC_VECTOR(3 DOWNTO 0));
END ENTITY QDJB;
ARCHITECTURE ART OF QDJB IS
CONSTANT W1:STD_LOGIC_VECTOR:="0001";
CONSTANT W2:STD_LOGIC_VECTOR:="0010";
CONSTANT W3:STD_LOGIC_VECTOR:="0011";
CONSTANT W4:STD_LOGIC_VECTOR:="0100";
BEGIN

PROCESS(CLR,A,B,C,D)
BEGIN
IF CLR='1' THEN STATES<="0000";
A1<='0';B1<='0';C1<='0';D1<='0';
ELSIF(A='1' AND B='0' AND C='0' AND D='0')THEN
A1<='1';B1<='0';C1<='0';D1<='0';STATES<=W1;
ELSIF(A='0' AND B='1' AND C='0' AND D='0')THEN
A1<='0';B1<='1';C1<='0';D1<='0';STATES<=W2;
ELSIF(A='0' AND B='0' AND C='1' AND D='0')THEN
A1<='0';B1<='0';C1<='1';D1<='0';STATES<=W3;
ELSIF(A='0' AND B='0' AND C='0' AND D='1')THEN
A1<='0';B1<='0';C1<='0';D1<='1';STATES<=W4;
END IF;
END PROCESS;
END ART;
```

原创力文档

max.book118.com

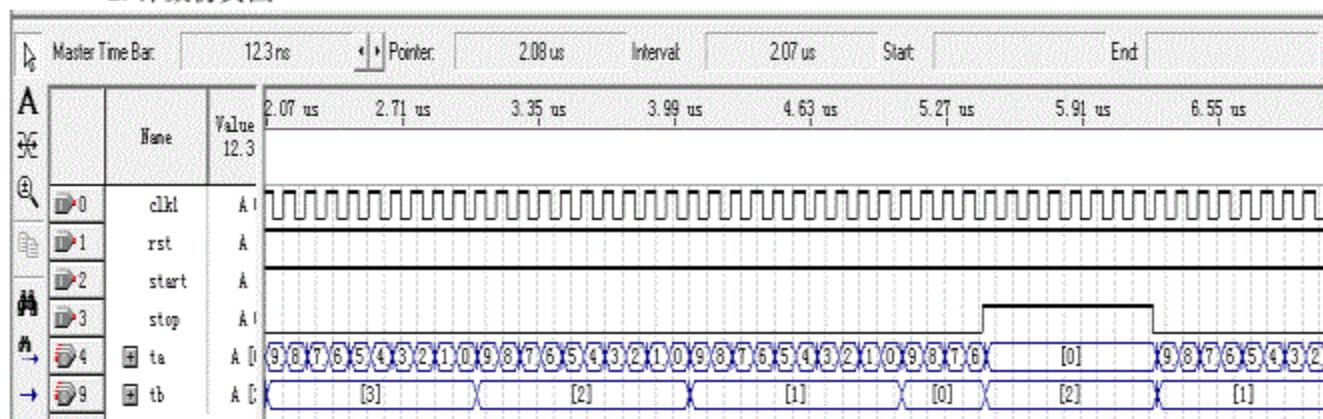
预览与源文档一致,下载高清无水印


```

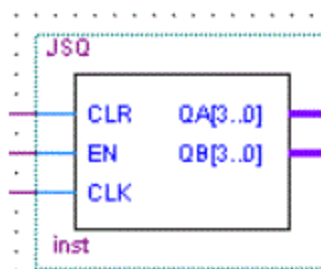
IF TMPA="0000" THEN
TMPA:="1001";
IF TMPB="0000" THEN
TMPB:="0110";
ELSE TMPB:=TMPB-1;
END IF;
ELSE TMPA:=TMPA-1;
END IF;
END IF;
END IF;
QA<=TMPA;QB<=TMPB;
END PROCESS;
END ART;

```

2. 计数仿真图



3. 计数元件图



(三) 译码模块（抢答器计分模块）

1. VHDL 源程序

```

LIBRARY IEEE;
USE IEEE.STD_LOGIC_1164.ALL;
USE IEEE.STD_LOGIC_UNSIGNED.ALL;
ENTITY JFQ IS
PORT(RST:IN STD_LOGIC;
ADD:IN STD_LOGIC;

```

```

    CHOS:IN STD_LOGIC_VECTOR(3 DOWNTO 0);
    AA2,BB2:OUT STD_LOGIC_VECTOR(3 DOWNTO 0);
    CC2,DD2:OUT STD_LOGIC_VECTOR(3 DOWNTO 0));
END ENTITY JFQ;
ARCHITECTURE ART OF JFQ IS
BEGIN
    PROCESS(RST,ADD,CHOS)
        VARIABLE POINTS_A2:STD_LOGIC_VECTOR(3 DOWNTO 0);
        VARIABLE POINTS_B2:STD_LOGIC_VECTOR(3 DOWNTO 0);
        VARIABLE POINTS_C2:STD_LOGIC_VECTOR(3 DOWNTO 0);
        VARIABLE POINTS_D2:STD_LOGIC_VECTOR(3 DOWNTO 0);
    BEGIN
        IF RST='1' THEN
            POINTS_A2:="0000";
            POINTS_B2:="0000";
            POINTS_C2:="0000";
            POINTS_D2:="0000";
        ELSIF(ADD'EVENT AND ADD='1') THEN
            IF CHOS="0001" THEN

IF POINTS_A2="0001" THEN
                POINTS_A2:="0000";
            ELSE
                POINTS_A2:=POINTS_A2+'1';
            END IF;

            ELSIF CHOS="0010" THEN

                IF POINTS_B2="1001" THEN
                    POINTS_B2:="0000";
                ELSE
                    POINTS_B2:=POINTS_B2+'1';
                END IF;

            ELSIF CHOS="0011" THEN

                IF POINTS_C2="1001" THEN
                    POINTS_C2:="0000";
                ELSE
                    POINTS_C2:=POINTS_C2+'1';
                END IF;

            ELSIF CHOS="0100" THEN

```

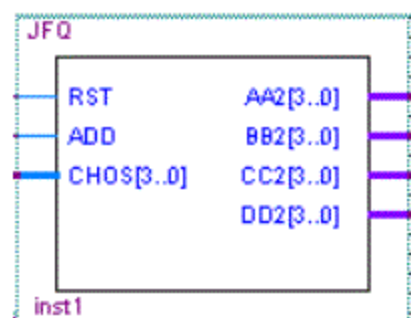
```

IF POINTS_D2="1001" THEN
    POINTS_D2:="0000";
ELSE
    POINTS_D2:=POINTS_D2+'1';
END IF;

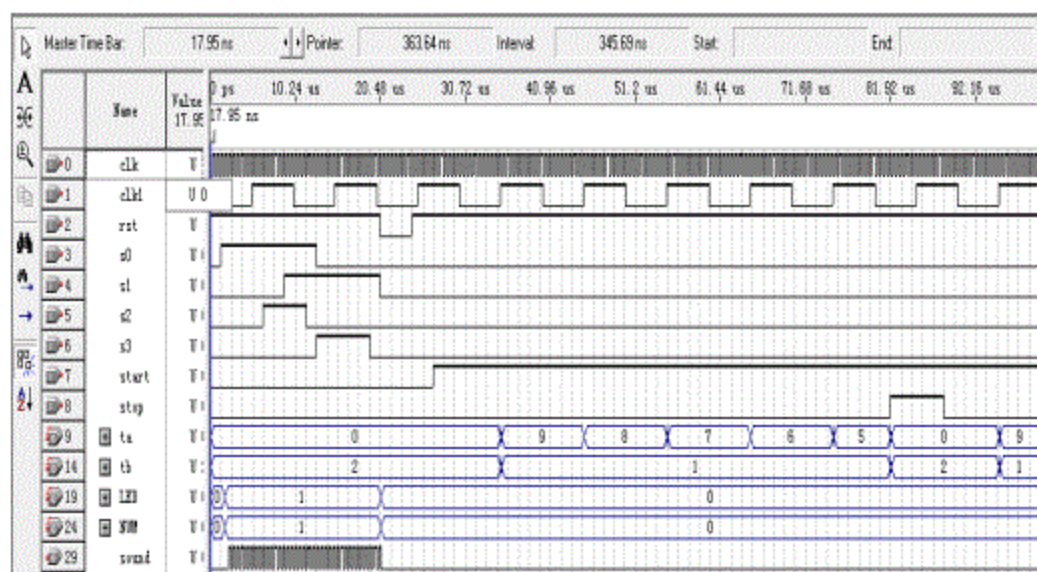
END IF;
END IF;
AA2<=POINTS_A2;
BB2<=POINTS_B2;
CC2<=POINTS_C2;
DD2<=POINTS_D2;
END PROCESS;
END ART;

```

2. 译码元件图



(四) 顶层文件：仿真图



课程设计总结：

本次的 EDA 课程设计历时一周时间虽短，但通过一周的实践，使我对 EDA 技术有了更进一步的了解。同时，大致懂得了一个课题制作的具体流程和实施方法。另外，课程设计对 Quartus II 软件的使用要求较高，从而使我能较为熟练的运用此软件。在设计时，采用模块化的设计思路使得问题变的简单明了，大大缩短了时间，降低了发生错误的机率，也便于修改和更新。

课程设计中，需要找很多资料，在当今的信息化环境中，虽然资料很多，但需要仔细斟酌才能找到所要的。这次的课程设计很好的锻炼了这种能力。此外，与同学和老师的交流必不可少，我从中也学到了不少东西。

课程设计是一次很好的锻炼机会，我从中学的很多知识对将来的学习和工作都有很大的帮助，十分感谢学校能提供这样一个机会。

参考文献：

【1】EDA 技术与 VHDL（第 2 版） 潘 松 黄继业 编著 清华大学出版社.
2007

【2】EDA 技术课程设计 孙俊逸主审 刘江海 主编 华中科技大学出版社.
2009