

高端设计工具为少有甚是没有硬件设计技术的工程师和科学家提供现场可编程门阵列 (FPGA)。无论你使用图形化设计程序, ANSI C 语言还是 VHDL 语言, 如此复杂的合成工艺会不禁让人去想 FPGA 真实的运作情况。在这个芯片中的程序在这些可设置硅片间到底是如何工作的。本书会使非数字化设计人员明白 FPGA (现场可编程门阵列) 的基础知识及其工作原理。此信息在使用高端设计工具时同样十分有用, 希望可以为理解这一特别技术提供一些线索。

FPGA-现场可编程门阵列

每一块 FPGA 芯片都是由有限多个带有可编程连接的预定义源组来实现一种可重构数字电路。

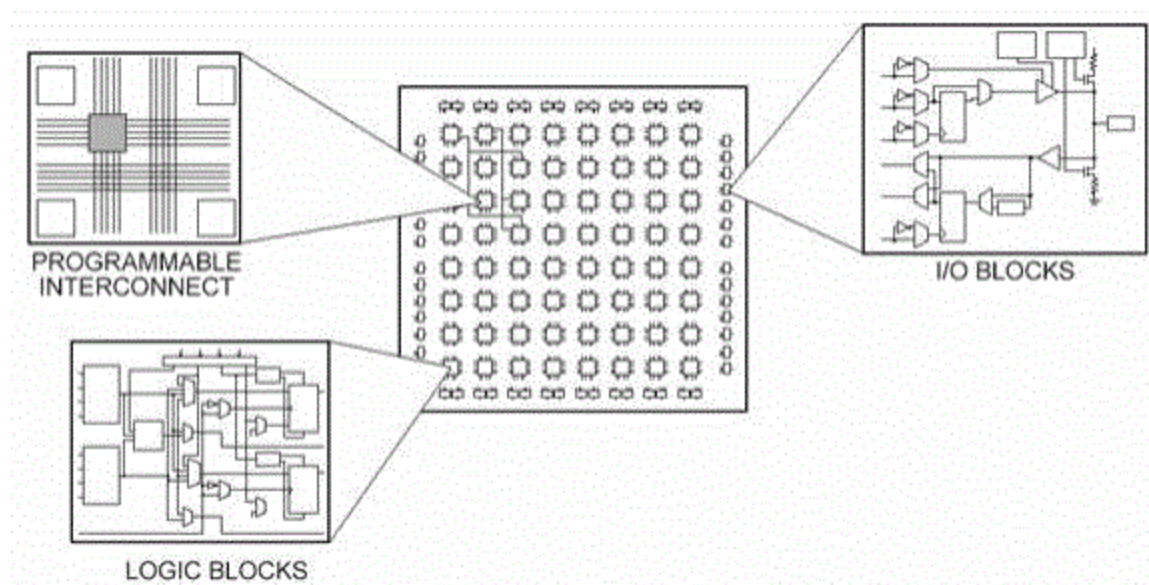


图1.FPGA 不同构成

FPGA 芯片说明书中, 包含了可编程逻辑模块的数量、固定功能逻辑模块 (如乘法器) 的数目及存储器资源 (如嵌入式 RAM) 的大小。FPGA 芯片中还有很多其它的部分, 但是以上指标通常是特定应用选择和比较 FPGA 时, 最重要的参考指标。

在最底层, 可配置逻辑模块 (如片或逻辑单元) 有着两种最基本的部件: 触发器和查找表 (LUT)。这很重要, 因为各种 FPGA 家族之所以各不相同, 就是因为触发器和查找表组合的方式不同。例如, Virtex-II 系列的 FPGA, 它的片具有两个查找表和两个触发器, 而 Virtex-5 FPGA 的片具有 4 个查找表和 4 个触发器。查找表本身的结构也可能各不相同 (4 输入或 6 输入)。关于查找表工作原理的更多信息将在后面的章节中给出。

表 1 中列出了在 NI LabVIEW FPGA 硬件目标中使用的 FPGA 的指标。逻辑门的数量是一种将 FPGA 芯片与 ASIC 技术进行比较的传统方法, 但是它并不能真实地表述 FPGA 内部

的独立单元的数量。这就是 Xilinx 公司没有在新型 Virtex-5 系列中指定逻辑门数量的原因之一。

	Virtex-II	Virtex-II	Spartan-3	Spartan-3	Virtex-5	Virtex-5	Virtex-5	Virtex-5
	1000	3000	1000	2000	LX30	LX50	LX85	LX110
门	一百万	三百万	一百万	二百万	-	-	-	-----
触发器	10240	28672	15360	40960	19200	28800	51840	69,120
查找表	10240	28672	15360	40960	19200	28800	51840	69,120
乘数器	40	96	24	40	32	48	48	64
块RAM (千字节)	720	1728	432	720	1152	1728	3456	4,608

表1.不同系列 FPGA 源规格

为了更好地理解这些规格的意义，将编码考虑为合成的数字电路模式。对任何一段合成代码，或图形化或文本形式，都有相应的电路图反映逻辑组件该如何连线。通过一段简单布尔逻辑了解下相应的示意图。图 2 表示的是传递 5 个布尔信号并且可图形化计算所得的二进制值的功能组。

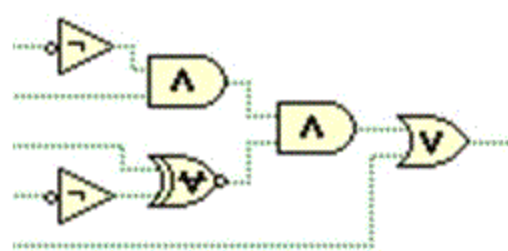


图2.载入5个信号的简单布尔逻辑

在通常情况下（LabVIEW SCTL—单周期定时环路外），图 2 所示相应电路图同图 3 所示相近。

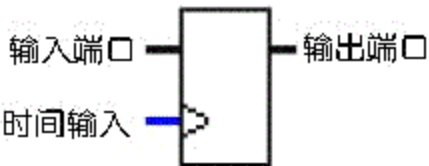


图3.为图2中布尔逻辑的相应电路图

虽然很难明白，但是实际上这里创建了两个并行分支的电路。最上面的 5 条黑线被反馈到第一个分支，它在每个布尔操作间添加了触发器。最下面的 5 条黑线构成了第二个逻辑链，其中一支路在每步操作之间增加了同步寄存器，另一条逻辑链是确保执行数据流的。本电路图正常工作时总共需要 12 个触发器和 12 个查找表。上端分支和每个元件将在以后章节分析。

触发器

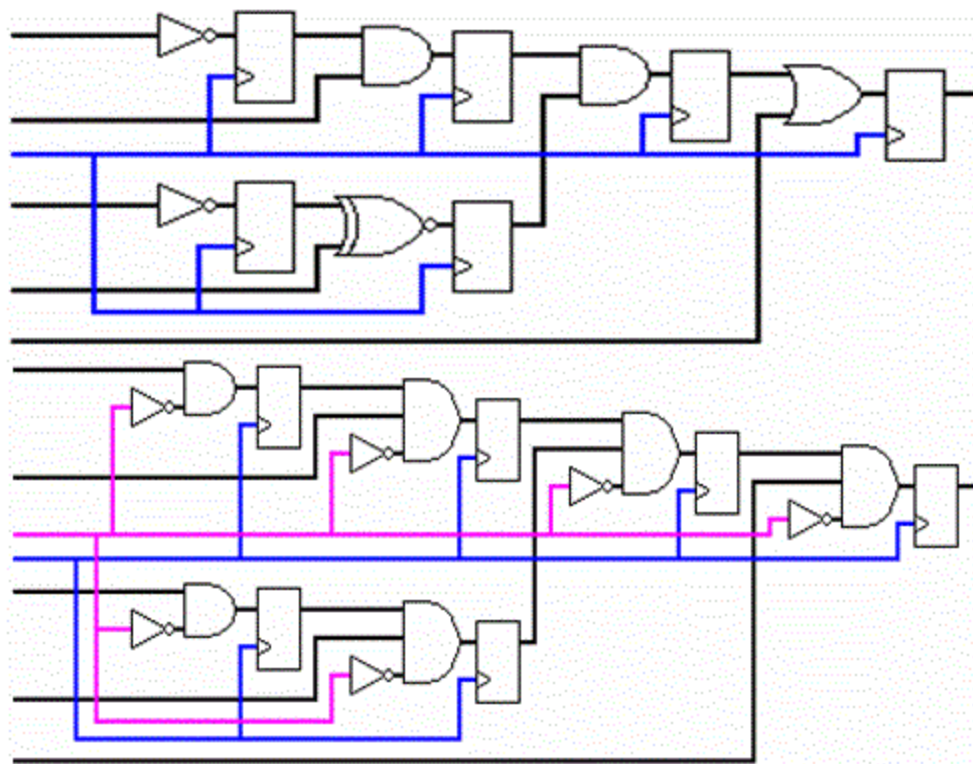


图4.触发器符号

触发器是二进制移位寄存器，用于同步逻辑以及保存时钟（脉冲）周期内的逻辑状态。在每个时间（脉冲）边沿，触发器在输入时锁定 1（真）或 0（假）值并且保存此值直到下次时钟（脉冲）边沿。在正常情况下，LabVIEW FPGA 在每次操作之间都设置一个触发器，以保证有足够的时间来执行每步操作。对此律的例外只发生在 SCTL 结构中写代码的情况。在这个特殊的环路结构中，触发器只放置在闭环迭代的始末段，并且由编程者考虑定时因素来决定如何放置。对 SCTL 内代码如何同步的更多内容将在以后章节中讨论。图 5 表示的是图 3 的上端分支，触发器由红色高亮表示。

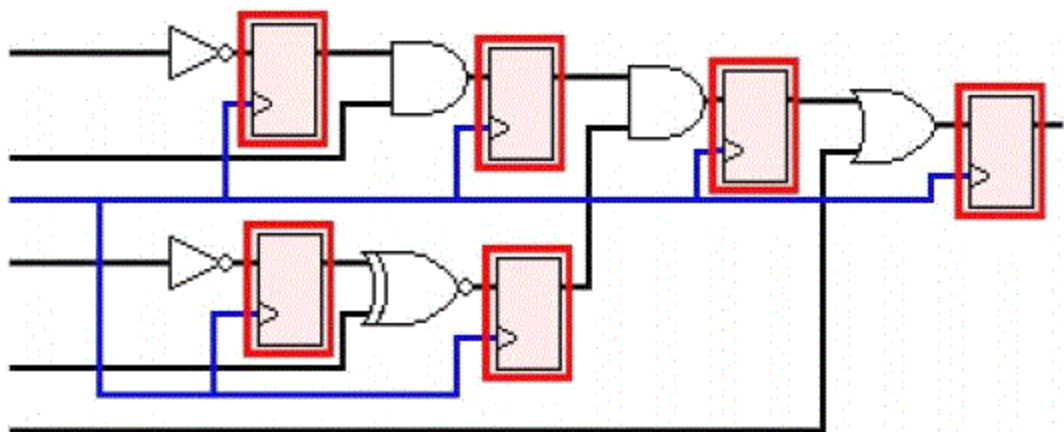


图5.绘制由红色高亮表示出触发器的电路图

查找表

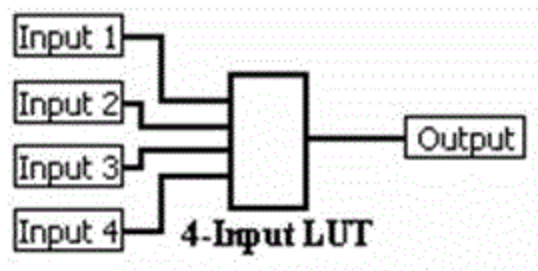


图6.双四输入查找表

图 6 所示示意图中的其他逻辑电路通过使用少量查找表形式的随机存取存储器实现。我们可以简单地假定 FPGA 中系统门的数量可参考与非门(NAND)以及或非门(NOR)的数量，但实际上，所有的组合逻辑（与门、或门、与非门、异或门等）都是通过查找表存储器中的真值表来实现。真值表是输出对应于每个输入值组合的预定义表（现在卡诺图的重要性在你的头脑中可能会慢慢淡化）。以下是对数字逻辑电路课程的快速回顾：比如，图 7 是布尔逻辑与门操作过程。

这是对数字逻辑课程的快速回顾：

例如，图 7 中显示了布尔型 AND 操作。