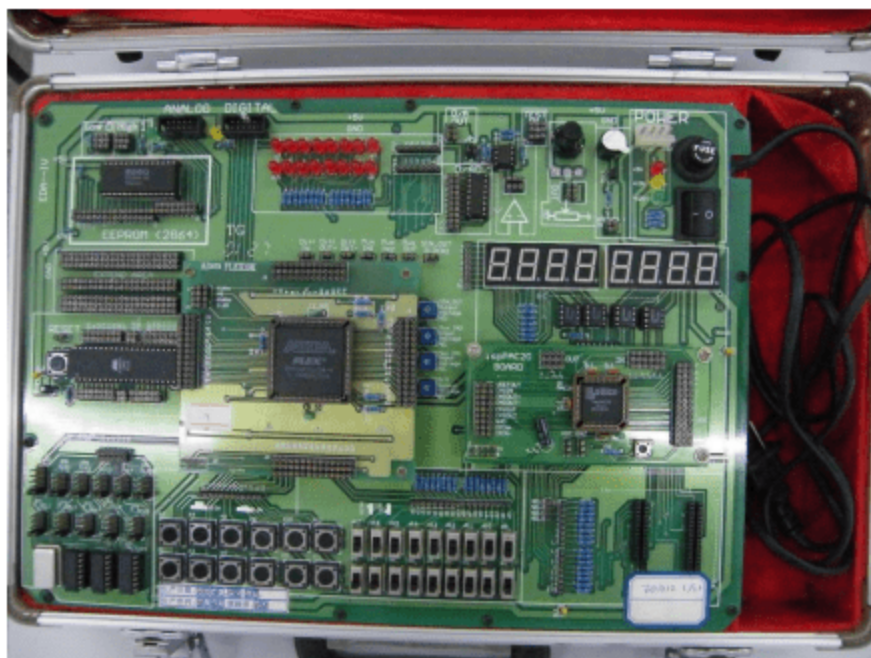


EDA-IV 型 EDA 实验箱介绍



一、 系统概述

EL—EDA IV 可编程实验系统采用模拟与数字相结合的设计方法，并利用模块化组合设计，使在实验过程中操作简单、显示直观，在实验系统中，可以实现 CPLD 与 PAC 的同时下载开发，功能齐全，是为了配合数字可编程（CPLD、FPGA）和模拟可编程（PAC）实验系统而开发的一套综合实验系统。它适合于各种数字电路的设计及仿真，模拟信号处理系统的开发，并可使两者结合实现更复杂的综合实验。实验系统中数字芯片采用的是 ALTERA 公司的 10K 系列，模拟芯片采用的是 LATTICE 公司的 ispPACTM20。

二、 系统结构

1、 芯片接口电路

主要负责整个系统与不同公司不同类型的芯片实现通讯。在整个系统中，共有两个下载接口，一个是数字芯片的下载接口（DIGITAL JTAG），主要用于 CPLD/FPGA 芯片的数据下载；另一个是模拟芯片的下载接口（ANALOG JTAG），主要用于 ispPAC 芯片的数据下载。

2、 12 位按钮开关模块

开关弹起时为高电平，按下时为低电平。所对应的接口序号为：K1-K12

3、 18 位拨码开关模块

开关拨向下方时为低电平，拨向上方时为高电平，对应的接口序号为：D0-D17

4、 蜂鸣器输出模块

当输入口 SPEAKER_IN 输入高电平时，蜂鸣器响。

5、 电压调节模块

调节旋钮时，输出口 OUT 的电平在 0-5V 内变化。

6、 D/A 转换模块

AD558 是 8 位数/模转换芯片，I/O 口定义如下：

D0-D7：数据总线，输入口

/CE：转换允许信号，低电平有效

/CS：片选信号，低电平有效

D/A OUT: D/A 直接输出口 (0~5V)。当跳线接左边时, D/A 输出的信号直接从该口输出; 当跳线接右边时, D/A 输出的信号经 LM358 放大输出。

7、 模拟信号源模块

所对应的接口序号为:

Diff IN: 需差分转换信号输入口

Mux IN1: 需叠加信号 1 输入口

Mux IN2: 需叠加信号 2 输入口

Diff OUT+: 差分信号正极性输出端口, 为 Diff IN 差分后的信号

Diff OUT-: 差分信号负极性输出端口, 为 Diff IN 差分后的信号

Mux OUT: 叠加信号输出端口, 为 Mux IN1 与 Mux IN2 相加后的信号

SIN OUT 312KHz: 正弦信号 312KHz 输出端口

8、 存储器模块

采用 2864 并行 EPROM 芯片。所对应的接口序号为:

数据总线: D0~D7

地址总线: A0~A13

/CE: 转换允许信号, 低电平有效

/OE: 输出允许信号, 低电平有效

/WE: 写允许信号, 低电平有效

9、 8 位 8 段数码管显示模块

数码管为共阴数码管。所对应的接口序号为:

8 位段驱动接口: a、b、c、d、e、f、g、Dp

8 位位段驱动采用 3-8 译码产生, 对应的接口为: SEL0~SEL2 (悬空为高电平), 位于 16X16 点阵模块区, 经 3-8 译码后送数码管作位选信号, 其对应关系如表 1。

表 1 LED 数码管显示接口及对应的显示状态

接口序号			显示状态
SEL2	SEL1	SEL0	
1	1	1	第 1 位亮
1	1	0	第 2 位亮
1	0	1	第 3 位亮
1	0	0	第 4 位亮
0	1	1	第 5 位亮
0	1	0	第 6 位亮
0	0	1	第 7 位亮
0	0	0	第 8 位亮

			8 位亮
--	--	--	------

注：最右边为第一位

10、16X16 点阵字符显示模块

列选信号为 SEL0-SEL3 经 4-16 译码，最右边为第一列；行选信号为 L0-L15，最上方为第一行。

表 2 点阵显示接口对应关系表

SEL3	SEL2	SEL1	SEL0	点亮列号
1	1	1	1	第 1 列
1	1	1	0	第 2 列
1	1	0	1	第 3 列
1	1	0	0	第 4 列
1	0	1	1	第 5 列
1	0	1	0	第 6 列
1	0	0	1	第 7 列
1	0	0	0	第 8 列
0	1	1	1	第 9 列
0	1	1	0	第 10 列
0	1	0	1	第 11 列
0	1	0	0	第 12 列
0	0	1	1	第 13 列
0	0	1	0	第 14 列
0	0	0	1	第 15 列
0	0	0	0	第 16 列

11、LED 显示模块

显示电平的状态（高电平有效），所对应的接口序号为：LED0-LED15

12、自由扩展模块

提供了大量的中间连接端可作额外电路的搭建使用。

13、单片机模块

采用 AT89C51 单片机，可以实现 CPLD/FPGA 与单片机的接口实验，以及高级的 FPGA 开发，其对应的接口为：

P0 口：D0-D7

P1 口：P10-P17

P2 口：P20-P27

P3 口分别对应为：/RD、/WR、RXD、TXD、T0、T1、INT0、INT1

复位信号输出：RESET

其他接口为：ALE、PSEN

RESET 复位端口提供一高电平脉冲。

数字时钟信号源模块

数字时钟信号源可产生从 1.2Hz-20MHz 之间的任意频率。该电路采用全数字化设计，提供的最高方波频率为 20MHz，最低频率为 1.2Hz，并且频率可以在这个范围内随意组合变化。整个信号源共有六个输出口（CLK0-CLK5），每个输出口输出的频率各不相同，通过 JP1-JP11 这 11 组跳线来完成设置的，其中：

CLK0 输出口的频率通过 JP7（CLK0）来设置的，这样输出的时钟频率种类为 20MHz、10MHz、5MHz、2.5MHz、1.25MHz；

CLK1 输出口的频率通过 JP1（F_SEL1）及 JP8（CLK1）来设置，输出频率对应的关系为：

$$F_{CLK1} = 20\text{MHz} \times F_SEL1 \times CLK1$$

CLK2 输出口的频率通过 JP1（F_SEL1）、JP2（F_SEL2）及 JP9（CLK2）来设置，输出频率对应的关系为：

$$F_{CLK2} = 20\text{MHz} \times F_SEL1 \times F_SEL2 \times CLK2$$

CLK3 输出口的频率通过 JP1（F_SEL1）、JP2（F_SEL2）、JP3（F_SEL3）及 JP10（CLK3）来设置，输出频率对应的关系为：

$$F_{CLK3} = 20\text{MHz} \times F_SEL1 \times F_SEL2 \times F_SEL3 \times CLK3$$

CLK4 输出口的频率通过 JP1（F_SEL1）、JP2（F_SEL2）、JP3（F_SEL3）、JP4（F_SEL4）及 JP11（CLK4）来设置，输出频率对应的关系为：

$$F_{CLK4} = 20\text{MHz} \times F_SEL1 \times F_SEL2 \times F_SEL3 \times F_SEL4 \times CLK4$$

CLK5 输出口的频率通过 JP1（F_SEL1）、JP2（F_SEL2）、JP3（F_SEL3）、JP4（F_SEL4）、JP5（F_SEL5）及 JP6（CLK5）来设置，输出频率对应的关系为：

$$F_{CLK5} = 20\text{MHz} \times F_SEL1 \times F_SEL2 \times F_SEL3 \times F_SEL4 \times F_SEL5 \times CLK5$$

数字可编程模块

采用 ALTERA 公司的数字可编程器件 EPF10K10LC84-4 芯片，所对应的接口序号为：

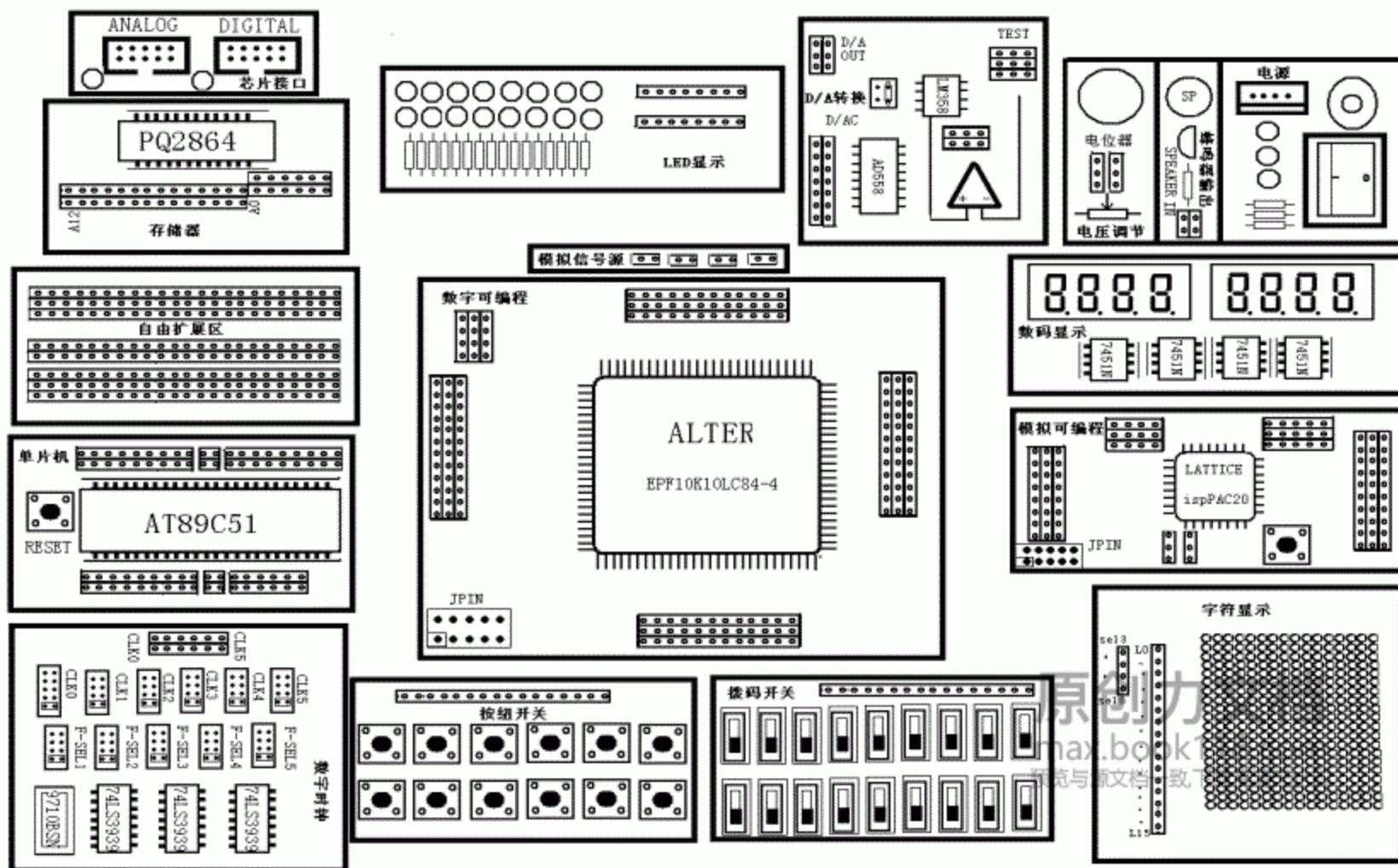
J1: CLRN、OE、CLK1、CLK0

J2: 与下载电缆相连（内部已连接）

J3-J6: 分别与芯片各脚相连接

模拟可编程模块

ispPAC20 是由两个可编程的模拟单元（称之为 PACblock）所组成的，每一个相当于运算放大器、电阻和电容的组合。芯片无需任何外接元件就可完成基本的模拟电路功能，例如精密滤波器、求和/求差、增益/衰减和积分。每一个 PACblock 包括一个加法运算电路，两个差动放大器和一系列反馈电容。这些电容结合一些具有固定值的反馈元件，可以产生 120 种可编程的电路，其频率范围在 10KHz 到 100KHz 之间，分辨率为 5%。不同增益输入用放大器使它可在 ± 1 至 ± 10 之间编程任何 PAC 模块的增益。通过接合别的电路可产生更复杂的信号处理功能以完成不同的电路功能。所对应的接口序号分别与芯片各脚相连接。



系统结构框图