

X i l i n x F P G A 引脚功能详细介绍

注：技术交流用，希望对大家有所帮助。

IO_LXXY_# 用户 IO 引脚

XX 代表某个 Bank 内唯一的一对引脚，Y=[P|N]代表对上升沿还是下降沿敏感，#代表 bank 号

2. IO_LXXY_ZZZ_# 多功能引脚

ZZZ 代表在用户 IO 的基本上添加一个或多个以下功能。

Dn: I/O (在 readback 期间)，在 selectMAP 或者 BPI 模式下，D[15:0]配置为数据口。在从 SelectMAP 读反馈期间，如果 RDWR_B=1，则这些引脚变成输出口。配置完成后，这些引脚又作为普通用户引脚。

D0_DIN_MISO_MISO1: I，在并口模式 (SelectMAP/BPI) 下，D0 是数据的最低位，在 Bit-serial 模式下，DIN 是信号数据的输入；在 SPI 模式下，MISO 是主输入或者从输出；在 SPI*2 或者 SPI*4 模式下，MISO1 是 SPI 总线的第二位。

D1_MISO2, D2_MISO3: I，在并口模式下，D1 和 D2 是数据总线的低位；在 SPI*4 模式下，MISO2 和 MISO3 是 SPI 总线的 MSBs。

An: 0, A[25:0]为 BPI 模式的地址位。配置完成后，变为用户 I/O 口。

AWAKE: 0，电源保存挂起模式的状态输出引脚。SUSPEND 是一个专用引脚，AWAKE 是一个多功能引脚。除非 SUSPEND 模式被使能，AWAKE 被用作用户 I/O。

MOSI_CSI_B_MIS00: I/O, 在 SPI 模式下, 主输出或者从输入; 在 SelectMAP 模式下, CSI_B 是一个低电平有效的片选信号; 在 SPI*2 或者 SPI*4 的模式下, MIS00 是 SPI 总线的第一位数据。

FCS_B: 0, BPI flash 的片选信号。

FOE_B: 0, BPI flash 的输出使能信号

FWE_B: 0, BPI flash 的写使用信号

LDC: 0, BPI 模式配置期间为低电平

HDC: 0, BPI 模式配置期间为高电平

CS0_B: 0, 在并口模式下, 工具链片选信号。在 SPI 模式下, 为 SPI flash 片选信号。

IRDY1/2, TRDY1/2: 0, 在 PCI 设计中, 以 LogiCORE IP 方式使用。

DOUT_BUSY: 0, 在 SelectMAP 模式下, BUSY 表示设备状态; 在位串口模式下, DOUT 提供配置数据流。

RDWR_B_VREF: I, 在 SelectMAP 模式下, 这是一个低电平有效的写使能信号; 配置完成后, 如果需要, RDWR__B 可以在 BANK2 中做为 Vref。

HSWAPEN: I, 在配置之后和配置过程中, 低电平使用上拉。

INIT_B: 双向, 开漏, 低电平表示配置内存已经被清理; 保持低电平, 配置被延迟; 在配置过程中, 低电平表示配置数据错误已经发生; 配置完成后, 可以用来指示 POST_CRC 状态。

SCPn: I, 挂起控制引脚 SCP[7:0], 用于挂起多引脚唤醒特性。

CMPMOSI, CMPMISO, CMPCLK: N/A, 保留。

M0, M1: I, 配置模式选择。M0=并口 (0) 或者串口 (1), M1=主机 (0) 或者从机 (1)。

CCLK: I/O, 配置时钟, 主模式下输出, 从模式下输入。

USERCCLK: I, 主模式下, 可行用户配置时钟。

GCLK: I, 这些引脚连接到全局时钟缓存器, 在不需要时钟的时候, 这些引脚可以作为常规用户引脚。

VREF_#: N/A, 这些是输入临界电压引脚。当外部的临界电压不必要时, 他可以作为普通引脚。当做作 bank 内参考电压时, 所有的 VRef 都必须被接上。

3. 多功能内存控制引脚

M#DQn: I/O, bank#内存控制数据线 D[15:0]

M#LDQS: I/O, bank#内存控制器低数据选通脚

M#LDQSN: I/O, bank#中内存控制器低数据选通 N

M#UDQS: I/O, bank#内存控制器高数据选通脚

M#UDQSN: I/O, bank#内存控制器高数据选通 N

M#An: 0, bank#内存控制器地址线 A[14:0]

M#BAn: 0, bank#内存控制 bank 地址 BA[2:0]

M#LDM: 0, bank#内存控制器低位掩码

M#UDM: 0, bank#内存控制器高位掩码

M#CLK: 0, bank#内存控制器时钟

M#CLKN: 0, bank#内存控制器时钟, 低电平有效

M#CASN: 0, bank#内存控制器低电平有效行地址选通

M#RASN: 0, bank#内存控制器低电平有效列地址选通

M#ODT: 0, bank#内存控制器外部内存的终端信号控制

M#WE: 0, bank#内存控制器写使能

M#CKE: 0, bank#内存控制器时钟使能

M#RESET: 0, bank#内存控制器复位

4. 专用引脚

DONE_2: I/O, DONE 是一个可选的带有内部上拉电阻的双向信号。作为输出, 这个引脚说明配置过程已经完成; 作为输入, 配置为低电平可以延迟启动。

PROGRAM_B_2: I, 低电平异步复位逻辑。这个引脚有一个默认的弱上拉电阻。

SUSPEND: I, 电源保护挂起模式的高电平有效控制输入引脚。SUSPEND 是一个专用引脚, 而 AWAKE 是一个复用引用。必须通过配置选项使能。如果挂起模式没有使用, 这个引脚接地。

TCK: I, JTAG 边界扫描时钟。

TDI: I, JTAG 边界扫描数据输入。

TDO: 0, JTAG 边界扫描数据输出。

TMS: I, JTAG 边界扫描模式选择

5. 保留引脚

NC: N/A,

CMPCS_B_2: I, 保留, 不接或者连 VCC0_2

6. 其它

GND:

VBATT: RAM 内存备份电源。一旦 VCCAUX 应用了, VBATT 可以不接; 如果 KEY RAM 没有使用, 推荐把 VBATT 接到 VCCAUX 或者 GND, 也可以不接。

VCCAUX: 辅助电路电源引脚

VCCINT: 内部核心逻辑电源引脚

VCCO_#: 输出驱动电源引脚

VFS: I, (LX45 不可用) 编程时, key EFUSE 电源供电引脚。当不编程时, 这个引脚的电压应该限制在 GND 到 3.45V; 当不使用 key EFUSE 时, 推荐把该引脚连接到 VCCAUX 或者 GND, 悬空也可以。

RFUSE: I, (LX45 不可用) 编程时, key EFUSE 接地引脚。当不编程时或者不使用 key EFUSE 时, 推荐把该引脚连接到 VCCAUX 或者 GND, 然而, 也可以悬空。

7. GTP 引脚

MGTAVCC: 收发器混合信号电路电源引脚

MGTAVTTTX, MGTAVTTRX: 发送, 接收电路电源引脚

MGTAVTTRCAL: 电阻校正电路电源引脚

MGTAVCCPLL0, MGTAVCCPLL1: 锁相环电源引脚

MGTREFCLK0/1P, MGTREFCLK0/1N: 差分时钟正负引脚

MGTRREF: 内部校准终端的精密参考电阻引脚

MGTRXP[1:0], MGTRXN[1:0]:差分接收端口

MGTTXP[1:0], MGTTXN[1:0]:差分发送端口

• 1. Spartan-6 系列封装概述

Spartan-6 系列具有低成本、省空间的封装形式，能使用户引脚密度最大化。所有 Spartan-6 LX 器件之间的引脚分配是兼容的，所有 Spartan-6 LXT 器件之间的引脚分配是兼容的，但是 Spartan-6 LX 和 Spartan-6 LXT 器件之间的引脚分配是不兼容的。

表格 1Spartan-6 系列 FPGA 封装

	Packages								
	TQG144 ⁽¹⁾	CPG196	CSG225	FT(G)256 ⁽²⁾	CSG324	FG(G)484 ⁽²⁾	CS(G)484 ⁽²⁾	FG(G)676 ⁽²⁾	FG(G)900 ⁽²⁾
Package Type	Quad Flat Pack	Chip Scale	Chip Scale	BGA	Chip Scale	BGA	Chip Scale	BGA	BGA
Pitch (mm)	0.5	0.5	0.8	1.00	0.8	1.00	0.8	1.00	1.00
Size (mm)	22 x 22 ⁽¹⁾	8 x 8	13 x 13	17 x 17	15 x 15	23 x 23	19 x 19	27 x 27	31 x 31
Maximum I/Os	102	106	160	186	232	338	338	498	576

2. Spartan-6 系列引脚分配及功能详述

Spartan-6 系列有自己的专用引脚，这些引脚是不能作为 Select IO 使用的，这些专用引脚包括：

专用配置引脚，表格 2 所示 GTP 高速串行收发器引脚，表格 3 所示

表格 2Spartan-6 FPGA 专用配置引脚

SUSPEND	PROGRAM_B_2	TDI	TMS	VFS ⁽¹⁾	VBATT ⁽¹⁾
DONE_2	CMPCS_B_2	TDO	TCK	RFUSE ⁽¹⁾	

注意：只有 LX75, LX75T, LX100, LX100T, LX150, and LX150T 器件才有 VFS、VBATT、RFUSE 引脚。

表格 3Spartan-6 器件 GTP 通道数目

I/O Channels	Device				
	LX25T	LX45T	LX75T ⁽¹⁾	LX100T ⁽²⁾	LX150T ⁽²⁾
MGTRXP	2	4	4 or 8	4 or 8	4 or 8
MGTRXN	2	4	4 or 8	4 or 8	4 or 8
MGTTXP	2	4	4 or 8	4 or 8	4 or 8
MGTTXN	2	4	4 or 8	4 or 8	4 or 8

注意：LX75T 在 FG(G)484 和 CS(G)484 中封装 4 个 GTP 通道，而在 FG(G)676 中封装了 8 个 GTP 通道；LX100T 在 FG(G)484 和 CS(G)484 中封装 4 个 GTP 通道，而在 FG(G)676 和 FG(G)900 中封装了 8 个 GTP 通道。

如表 4，每一种型号、每一种封装的器件的可用 I/O 引脚数目不尽相同，例如对于 LX4 TQG144 器件，它总共有引脚 144 个，其中可作为单端 I/O 引脚使用的 I/O 个数为 102 个，这 102 个单端引脚可作为 51 对差分 I/O 使用，另外的 32 个引脚为电源或特殊功能如配置引脚。

表格 4Spartan6 系列各型号封装可用的 I/O 资源汇总

Spartan-6 Device	User I/O Pins	Spartan-6 FPGA Package								
		TQG144	CPG196	CSG225	FT(G)256	CSG324	FG(G)484	CS(G)484	FG(G)676	FG(G)900
LX4	Available User I/Os	102	106	132	–	–	–	–	–	–
	Differential Pairs	51	53	66	–	–	–	–	–	–
LX9	Available User I/Os	102	106	160	186	200	–	–	–	–
	Differential Pairs	51	53	80	93	100	–	–	–	–
LX16	Available User I/Os	–	106	160	186	232	–	–	–	–
	Differential Pairs	–	53	80	93	116	–	–	–	–
LX25	Available User I/Os	–	–	–	186	226	266	–	–	–
	Differential Pairs	–	–	–	93	113	133	–	–	–
LX45	Available User I/Os	–	–	–	–	218	316	320	358	–
	Differential Pairs	–	–	–	–	109	158	160	179	–
LX75	Available User I/Os	–	–	–	–	–	280	328	408	–
	Differential Pairs	–	–	–	–	–	140	164	204	–
LX100	Available User I/Os	–	–	–	–	–	326	338	480	–
	Differential Pairs	–	–	–	–	–	163	169	240	–
LX150	Available User I/Os	–	–	–	–	–	338	338	498	576
	Differential Pairs	–	–	–	–	–	169	169	249	288
LX25T	Available User I/Os	–	–	–	–	190	250	–	–	–
	Differential Pairs	–	–	–	–	95	125	–	–	–
LX45T	Available User I/Os	–	–	–	–	190	296	296	–	–
	Differential Pairs	–	–	–	–	95	148	148	–	–
LX75T	Available User I/Os	–	–	–	–	–	268	292	348	–
	Differential Pairs	–	–	–	–	–	134	146	174	–
LX100T	Available User I/Os	–	–	–	–	–	296	296	376	498
	Differential Pairs	–	–	–	–	–	148	148	188	249
LX150T	Available User I/Os	–	–	–	–	–	296	296	396	540
	Differential Pairs	–	–	–	–	–	148	148	198	270

表格 5 引脚功能详述

引脚名	方向	描述
User I/O Pins		
IO_LXXY_#	Input/ Output	IO 表示这是一个具有输入输出功能的引脚，XX 表示该引脚在其 Bank 内的惟一标识，Y

		表示是差分引脚的 P 还是 N 引脚
Multi-Function Pins		
IO_LXXY_ZZZ_#		Zzz 代表该引脚除 IO 功能之外的其他功能，
Dn	Input/ Output (during readback)	在 SelectMAP/BPI 模式中，D0—D15 是用于配置操作的数据引脚，在从 SelectMAP 的回读阶段，当 RDWR_B 为低电平时，Dn 为输出引脚，在配置过程结束后，该引脚可作为通用 IO 口使用
DO_DIN_MISO_MISO1	Input	在 Bit-serial 模式中，DIN 是惟一的数据输入引脚； 在 SPI 模式中，MISO 是主输入从输出引脚；

		在 SPI x2 or x4 模式中，MISO1 是 SPI 总线的第二根数据线；
D1_MISO2, D2_MISO3	Input	在 SelectMAP/BPI 模式中，D1、D2 是配置数据线的低 2bit； 在 SPIx4 模式中，MISO2 和 MISO3 是 SPI 总线的数据线的高 2bit
An	Output	在 BPI 模式中 A0—A25 是输出地址线，配置完成后，它们可作为普通 IO 使用
AWAKE	Output	挂起模式中的状态输出引脚，如果没有使能挂起模式，该引脚可作为普通 IO 引脚
MOSI_CSI_B_MISO0	Input/ Output	在 SPI 配置模式中的主输出从输入引脚； 在 SelectMAP 模式

		中，CSI_B 是低有效的 Flash 片选信号； 在 SPI x2 or x4 模式中，这是最低数据线
FCS_B	Output	在 BPI 模式中，BPI flash 的片选信号
FOE_B	Output	在 BPI 模式中，BPI flash 的输出使能
FWE_B	Output	在 BPI 模式中，BPI flash 写使能
LDC	Output	在 BPI 模式中，在配置阶段 LDC 保持低电平
HDC	Output	在 BPI 模式中，在配置阶段 HDC 保持低电平
CS0_B	Output	在 SelectMAP/BPI 模式中，菊花链片选信号；

		在 SPI 模式中，是 SPI Flash 的片选信号；
IRDY1/2, TRDY1/2	Output	使用 PCI 的 IP Core 时，它们作为 IRDY 和 TRDY 信号
DOUT_BUSY	Output	在 SelectMAP 模式中，BUSY 表示设备状态； 在 Bit-serial 模式中，DOUT 输出数据给菊花链下游的设备
RDWR_B_VREF	Input	在 SelectMAP 模式中，RDWR_B 是低有效的写使能信号；配置完成后，可当做普通 IO 使用
HSWAPEN	Input	当是低电平时，在配置之前将所有 IO 上拉

INIT_B	Bidirectional (open-drain)	低电平表示配置存储器是空的；当被拉低时，配置将被延时；如果在配置过程中变低，表示在配置过程中出现了错误；当配置结束后，这个引脚表示 POST_CRC 错误；
SCPn	Input	SCP0-SCP7 是挂起控制引脚
CMPMOSI, CMPMISO, CMPCLK	N/A	保留为将来使用，可用作普通 IO
M0, M1	Input	配置模式，M0=0 表示并行配置模式，M0=1 表示串行配置模式；M1=0 表示主模式，M1=1 表示从模式
CCLK	Input/ Output	配置时钟，主模式下是输出时钟，从模式

		下是输入时钟
USERCCLK	Input	主模式下可选的的用户输入配置时钟
GCLK	Input	全局时钟引脚，它们可当做普通 IO 使用
VREF_#	N/A	参考门限时钟引脚，当不用时可作为普通 IO 使用
Multi-Function Memory Controller Pins		
M#DQn	Input/ Output	#Bank 的存储控制器数据线
M#LDQS	Input/ Output	#Bank 的存储控制器数据使能引脚
M#LDQSN	Input/ Output	#Bank 的存储控制器数据使能引脚 N
M#UDQS	Input/ Output	#Bank 的存储控制器高位数据使能
M#UDQSN	Input/ Output	#Bank 的存储控制器高位数据使能 N

M#An	Output	#Bank 的存储控制器地址线 A[0:14]
M#BAn	Output	#Bank 的存储控制器块地址线 BA[0:2]
M#LDM	Output	#Bank 的存储控制器低数据屏蔽
M#UDM	Output	#Bank 的存储控制器高数据屏蔽
M#CLK	Output	#Bank 的存储控制器时钟
M#CLKN	Output	#Bank 的存储控制器时钟 N
M#CASN	Output	#Bank 的存储控制器列地址使能
M#RASN	Output	#Bank 的存储控制器行地址使能
M#ODT	Output	#Bank 的存储控制器终端电阻控制
M#WE	Output	#Bank 的存储控制器写使能

M#CKE	Output	#Bank 的存储控制器时钟使能
M#RESET	Output	#Bank 的存储控制器复位
Dedicated Pins		
DONE_2	Input/ Output	带可选上拉电阻的双向信号，作为输出，它代表配置过程的完成，作为输入，拉低可用来延迟启动
PROGRAM_B_2	Input	异步复位配置逻辑
SUSPEND	Input	高电平使芯片进入挂起模式
TCK	Input	JTAG 边界扫描时钟
TDI	Input	JTAG 边界扫描数据输入
TDO	Output	JTAG 边界扫描数据输出
TMS	Input	JTAG 边界扫描模式

Reserved Pins		
NC	N/A	未连接引脚
CMPCS_B_2	Input	保留引脚，不连接 或接 VCCO_2
Other Pins		
GND	N/A	地
VBATT	N/A	只存在于 LX75, LX75T, LX100, LX100T, LX150 和 LX150T 芯片，解码关 键存储器备用电源；若 不使用关键存储器，则 可将之连接 VCCAUX、GND 或者直接 不连接
VCCAUX	N/A	辅助电路的供电电 源
VCCINT	N/A	内部核逻辑资源
VCCO_#	N/A	#Bank 的输出驱动 器供电电源

VFS	Input	只存在于 LX75, LX75T, LX100, LX100T, LX150, 和 LX150T 芯片；解码器 key EFUSE 编程过程使用的供电电源，若不使用关键熔丝，则将该引脚连接到 VCCAUX、GND 或者直接不连接
RFUSE	Input	只存在于 LX75, LX75T, LX100, LX100T, LX150 和 LX150T；用于编程的解码器 key EFUSE 电阻，如果不编程或者不使用 key EFUSE，则将该引脚连接到 VCCAUX、GND 或者直接不连接

3. Spartan-6 系列 GTP Transceiver 引脚

引脚名	方向	描述
GTP Transceiver Pins		

MGTAVCC	N/A	收发器混合电路供电电源
MGTAVTTTX, MGTAVTTRX	N/A	TX、RX 电路供电电源
MGTAVTTRCAL	N/A	电阻校准电路供电电源
MGTAVCCPLL0 MGTAVCCPLL1	N/A	PLL 供电电源
MGTREFCLK0/1P	Input	正极参考时钟
MGTREFCLK0/1N	Input	负极参考时钟
MGTRREF	Input	内部校准电路的精密参考电阻
MGTRXP[0:1]	Input	收发器接收端正极
MGTRXN[0:1]	Input	收发器接收端负极
MGTTXP[0:1]	Output	收发器发送端正极
MGTTXN[0:1]	Output	收发器发送端负极

如表 6 所示，对 LX25T，LX45T 而言，只有一个 GTP Transceiver 通道，它的位置是 X0Y0，所再 Bank 号为 101；其他信号 GTP Transceiver 的解释类似。

表格 6GTP Transceiver 所在 Bank 编号

Devices	GTP Transceiver Bank Number	GTP Transceiver Location
LX25T, LX45T	101	X0Y0
LX75T, LX100T, LX150T		X0Y1
LX45T	123	X1Y0
LX75T, LX100T, LX150T		X1Y1
LX75T, LX100T, LX150T	245	X0Y0
LX75T, LX100T, LX150T	267	X1Y0

关于 XILINX FPGA 中 VRP/VRN 管脚的使用

XILINX 公司的 Virtex 系列 FPGA 芯片上，每个 BANK 都有一对 VRP/VRN 管脚。VRP/VRN 管脚是一对多功能管脚，当一个 BANK 使用到某些 DCI (Digitally Controlled Impedance) 接口电平标准时，需要通过该 BANK 的 VRP/VRN 管脚接入参考电阻。此时，VRN 通过一个参考电阻 R 上拉到 Vcco，VRP 通过一个参考电阻 R 下拉到地。

VRP/VRN 管脚提供一个参考电压供 DCI 内部电路使用，DCI 内部电路依据此参考电压调整 IO 输出阻抗与外部参考电阻 R 匹配。当使用到 DCI 级联时，仅主 BANK (master) 需要通过 VRP/VRN 提供参考电压，从 BANK (slave) 不需要使用 VRP/VRN，从 BANK 的 VRP/VRN 管脚可当成普通管脚使用。当 VRP/VRN 不用于 DCI 功能时，可用于普通管脚。

不需要 VRP/VRN 外接参考电阻的 DCI 输出接口电平标准有：

HSTL_I_DCI

HSTL_III_DCI

HSTL_I_DCI_18

HSTL_III_DCI_18

SSTL2_I_DCI

SSTL18_I_DCI

SSTL15_DCI

不需要 VRP/VRN 外接参考电阻的 DCI 输入接口电平标准有：

LVDCI_15

LVDCI_18

LVDCI_25

LVDCI_DV2_15

LVDCI_DV2_18

LVDCI_DV2_25

Altera FPGA 引脚定义

用户 I/O: 通用输入输出引脚。

配置管脚:

MSEL[1:0] 用于选择配置模式，比如 AS、PS 等。

DATA0 FPGA 串行数据输入，连接到配置器件的串行数据输出管脚。

DCLK FPGA 串行时钟输出，为配置器件提供串行时钟。

nCS0 (I/O) FPGA 片选信号输出，连接到配置器件的 nCS 管脚。

ASD0 (I/O) FPGA 串行数据输出，连接到配置器件的 ASDI 管脚。

nCEO 下载链期间始能输出。在一条下载链中，当第一个器件配置完成后，此信号将始能下一个器件开始进行配置。下载链上最后一个器件的 nCEO 悬空。

nCE 下载链器件始能输入，连接到上一个器件的 nCEO，下载链的最后一个器件 nCE 接地。

nCNFIG 用户模式配置起始信号。

nSTATUS 配置状态信号。

CONF_DONE 配置结束信号。

电源管脚：

VCCINT 内核电压。130nm 为 1.5V，90nm 为 1.2V

VCCIO 端口电压。一般为 3.3V，还可以支持多种电压，
5V、1.8V、1.5V

VREF 参考电压

GND 信号地

时钟管脚：

VCC_PLL PLL 管脚电压，直接连 VCCIO

VCCA_PLL PLL 模拟电压，截止通过滤波器接到 VCCINT 上

GNDA_PLL PLL 模拟地

GNDD_PLL PLL 数字地

CLK[n] PLL 时钟输入

PLL[n]_OUT PLL 时钟输出

特殊管脚：

VCCPD 用于寻则驱动

VCCSEL 用于控制配置管脚和 PLL 相关的输入缓冲电压

PROSEL 上电复位选项

NIOPULLUP 用于控制配置时所使用的用户 I/O 的内部上拉电阻
是否工作

TEMPDIODEN 用于关联温度敏感二极管

1/1. I/O, ASD0

在 AS 模式下是专用输出脚，在 PS 和 JTAG 模式下可以当 I/O 脚来用。在 AS 模式下，这个脚是 CII 向串行配置芯片发送控制信号
的脚。也是用来从配置芯片中读配置数据的脚。在 AS 模式下，
ASD0 有一个内部的上拉电阻，一直有效，配置完成后，该脚就变成
三态输入脚。ASD0 脚直接接到配置芯片的 ASDI 脚（第 5 脚）。

2/2. I/O, nCS0

在 AS 模式下是专用输出脚，在 PS 和 JTAG 模式下可以当 I/O 脚来用。在 AS 模式下，这个脚是 CII 用来给外面的串行配置芯片发送的使能脚。在 AS 模式下，ASD0 有一个内部的上拉电阻，一直有效。这个脚是低电平有效的。直接接到配置芯片的 /CS 脚（第 1 脚）。

3/3. I/O, CRC_ERROR

当错误检测 CRC 电路被选用时，这个脚就被作为 CRC_ERROR 脚，如果不用默认就用来做 I/O。但要注意，这个脚是不支持漏极开路和反向的。当它作为 CRC_ERROR 时，高电平输出则表示出现了 CRC 校验错误（在配置 SRAM 各个比特时出现了错误）。CRC 电路的支持可以在 setting 中加上。这个脚一般与 nCONFIG 脚配合起来用。即如果配置过程出错，重新配置。

4/4. I/O, CLKUSR

当在软件中打开 Enable User-supplied start-up clock (CLKUSR) 选项后，这个脚就只可以作为用户提供的初始化时钟输入脚。在所有配置数据都已经被接收后，CONF_DONE 脚会变成高电平，CII 器件还需要 299 个时钟周期来初始化寄存器，I/O 等等状态，FPGA 有两种方式，一种是用内部的晶振（10MHz），另一种就是从 CLKUSR 接进来的时钟（最大不能超过 100MHz）。有这个功

能，可以延缓 FPGA 开始工作的时间，可以在需要和其它器件进行同步的特殊应用中用到。

7/13. I/O, VREF

用来给某些差分标准提供一个参考电平。没有用到的话，可以当成 I/O 来用。

14/20. DATA0

专用输入脚。在 AS 模式下，配置的过程是：CII 将 nCS0 置低电平，配置芯片被使能。CII 然后通过 DCLK 和 ASDO 配合操作，发送操作的命令，以及读的地址给配置芯片。配置芯片然后通过 DATA 脚给 CII 发送数据。DATA 脚就接到 CII 的 DATA0 脚上。CII 接收完所有的配置数据后，就会释放 CONF_DONE 脚（即不强制使 CONF_DONE 脚为低电平），CONF_DONE 脚是漏极开路（Open-Drain）的。这时候，因为 CONF_DONE 在外部会接一个 10K 的电阻，所以它会变成高电平。同时，CII 就停止 DCLK 信号。在 CONF_DONE 变成高电平以后（这时它又相当于变成一个输入脚），初始化的过程就开始了。所以，CONF_DONE 这个脚外面一定要接一个 10K 的电阻，以保证初始化过程可以正确开始。DATA0, DCLK, NCS0, ASDO 脚上都有微弱的上拉电阻，且一直有效。在配置完成后，这些脚都会变成输入三态，并被内部微弱的上拉电阻将电平置为高电平。在 AS 模式下，DATA0 就接到配置芯片的 DATA（第 2 脚）。

15/21. DCLK

PS 模式下是输入，AS 模式下是输出。在 PS 模式下，DCLK 是一个时钟输入脚，是外部器件将配置数据传送给 FPGA 的时钟。数据是在 DCLK 的上升沿把数据，在 AS 模式下，DCLK 脚是一个时钟输出脚，就是提供一个配置时钟。直接接到配置芯片的 DCLK 脚上去（第 6 脚）。无论是哪种配置模式，配置完成后，这个脚都会变成三态。如果外接的是配置器件，配置器件会置 DCLK 脚为低电平。如果使用的是主控芯片，可以将 DCLK 置高也可以将 DCLK 置低。配置完成后，触发这个脚并不会影响已配置完的 FPGA。这个脚带了输入 Buffer，支持施密特触发器的磁滞功能。

16/22. nCE

专用输入脚。这个脚是一个低电平有效的片选使能信号。nCE 脚是配置使能脚。在配置，初始化以及用户模式下，nCE 脚必须置低。在多个器件的配置过程中，第一个器件的 nCE 脚要置低，它的 nCEO 要连接到下一个器件的 nCE 脚上，形成了一个链。nCE 脚在用 JTAG 编程模式下也需要将 nCE 脚置低。这个脚带了输入 Buffer，支持施密特触发器的磁滞功能。

20/26. nCONFIG

专用的输入管脚。这个管脚是一个配置控制输入脚。如果这个脚在用户模式下被置低，FPGA 就会丢失掉它的配置数据，并进入一个复位状态，并将所有的 I/O 脚置成三态的。nCONFIG 从低电平跳变到高电平的过程会初始化重配置的过程。如果配置方案采用增强型的配置器件或 EPC2, 用户可以将 nCONFIG 脚直接接到 VCC 或到配

置芯片的 nINIT_CONF 脚上去。这个脚带了输入 Buffer，支持施密特触发器的磁滞功能。实际上，在用户模式下，nCONFIG 信号就是用来初始化重配置的。当 nCONFIG 脚被置低后，初始化进程就开始了。当 nCONFIG 脚被置低后，CII 就被复位了，并进入了复位状态，nSTATUS 和 CONF_DONE 脚被置低，所有的 I/O 脚进入三态。

nCONFIG 信号必须至少保持 2us。当 nCONFIG 又回到高电平状态后，nSTATUS 又被释放。重配置就开始了。在实际应用过程中可以将 nCONFIG 脚接一个 10K 的上拉电阻到 3.3V。

40/56. DEV_OE

I/O 脚或全局 I/O 使能脚。在 Quartus II 软件中可以使能 DEV_OE 选项 (Enable Device-wide output Enable)，如果使能了这个功能，这个脚可以当全局 I/O 使能脚，这个脚的功能是，如果它被置低，所有的 I/O 都进入三态。

75/107. INIT_DONE

I/O 脚或漏极开路的输出脚。当这个脚被使能后，该脚上从低到高的跳变指示 FPGA 已经进入了用户模式。如果 INIT_DONE 输出脚被使能，在配置完成以后，这个脚就不能被用做用户 I/O 了。在 QuartusII 里面可以通过使能 Enable INIT_DONE 输出选项使能这个脚。

76/108. nCEO

I/O 脚或输出脚。当配置完成后，这个脚会输出低电平。在多个器件的配置过程中，这个脚会连接到下一个器件的 nCE 脚，这个时候，它还需要在外面接一个 10K 的上拉电阻到 Vccio。多个器件的配置过程中，最后一个器件的 nCEO 可以浮空。如果想把这个脚当成可用的 I/O，需要在软件里面做一下设置。另外，就算是做 I/O，也要等配置完成以后。

82/121. nSTATUS

这是一个专用的配置状态脚。双向脚，当它是输出脚时，是漏极开路的。在上电之后，FPGA 立刻将 nSTATUS 脚置成低电平，并在上电复位（POR）完成之后，释放它，将它置为高电平。作为状态输出脚时，在配置过程中如果有任何一个错误发生了，nSTATUS 脚会被置低。作为状态输入脚时，在配置或初始化过程中，外部控制芯片可以将这个脚拉低，这时候 FPGA 就会进入错误状态。这个脚不能用作普通 I/O 脚。nSTATUS 脚必须上拉一个 10K 欧的电阻。

83/123. CONF_DONE

这是一个专用的配置状态脚。双向脚，当它是输出脚时，是漏极开路的。当作为状态输出脚时，在配置之前和过程中，它都被置为低电平。一旦配置数据接收完成，并且没有任何错误，初始化周期一开始，CONF_DONE 就会被释放。当作为状态输入脚时，在所有数据都被接收后，要将它置为高电平。之后器件就开始初始化再进入用户模式。它不可以用作普通 I/O 来用。这个脚外成也必须接一个 10K 欧的电阻。

84/125, 85/126. MSEL[1:0]

这些脚要接到零或电源，表示高电平或低电平。00 表示用 AS 模式，10 表示 PS 模式，01 是 FAST AS 模式. 如果用 JTAG 模式，就把它接 00，JTAG 模式跟 MSEL 无关，即用 JTAG 模式，MSEL 会被忽略，但是因为它们不能浮空，所以都建议将它接到地。

142/206 DEV_CLRn

I/O 或全局的清零输入端。在 QuartusII 里面，如果选上 Enable Device-Wide Reset (DEV_CLRn) 这个功能。这个脚就是全局清零端。当这个脚被置低，所有的寄存器都会被清零。这个脚不会影响到 JTAG 的边界扫描或编程的操作。