

存档资料

成绩:

华东交通大学理工学院

课程设计报告书

所属课程名称 《 EDA 技术使用教程 》

题 目 8 位十六进制频率计的设计

分 院 电 信 分 院

专业班级 200X 级电子信息工程 (X 班)

学 号 XXX

学生姓名 X X

指导教师 X X X

20 09 年 12 月 22 日

华东交通大学理工学院

课程设计（论文）任务书

原创力文档

max.book118.com

预览与源文档一致, 下载高清无水印

专 业 0X 电子信息工程

班 级 (X) 班

姓 名 X X

一、课程设计（论文）题目 8 位十六进制频率计的设计

二、课程设计（论文）工作：自 2009 年 12 月

21 日起至 2009 年 12 月 22 日止。

三、课程设计的内容要求：

FTCTRL 的计数使能信号 CNT_EN 能产生一个 1s 脉宽的周期信号，并对频率计中的 32 位二进制计数器 COUNTER32B 的 ENABL 使能端进行同步控制。当 CNT_EN 高电平时允许计数；低电平时停止计数，并保持所计数的脉冲数。在停止计数期间，首先需要个锁存信号 LOAD 的上跳沿将计数器在前一秒钟的计数值锁存进锁存器 REG32B 中，并由外部的十六进制 7 段译码器译出，显示计数值。设置锁存器的好处是数据显示稳定，不会由于周期性

的清零信号而不断闪烁。锁存信号后，必须有一清零信号 RST
CNT 对计数器进行清零，为下一秒的计数器操作做准备。

学生签名：_____()

2009 年 12 月 22 日

课程设计评阅意见

评阅人_____职称_____

序号	项 目	等 级				
		优秀	良好	中等	及格	不及格
1	课程设计态度评价					
2	出勤情况评价					
3	任务难度评价					
4	工作量饱满评价					
5	任务难度评价					
6	设计中创新性评价					
7	论文书写规范化评价					
8	综合应用能力评价					
综合评定等级						

2009 年 12 月 30 日

目 录

第1章 课程设计任务书.....	2
第2章 程序设计目的.....	5
第3章 程序实现思路.....	5
第4章 程序清单.....	6
第5章 课程设计心得.....	9
第6章 参考文献.....	10

第2章 程序设计目的

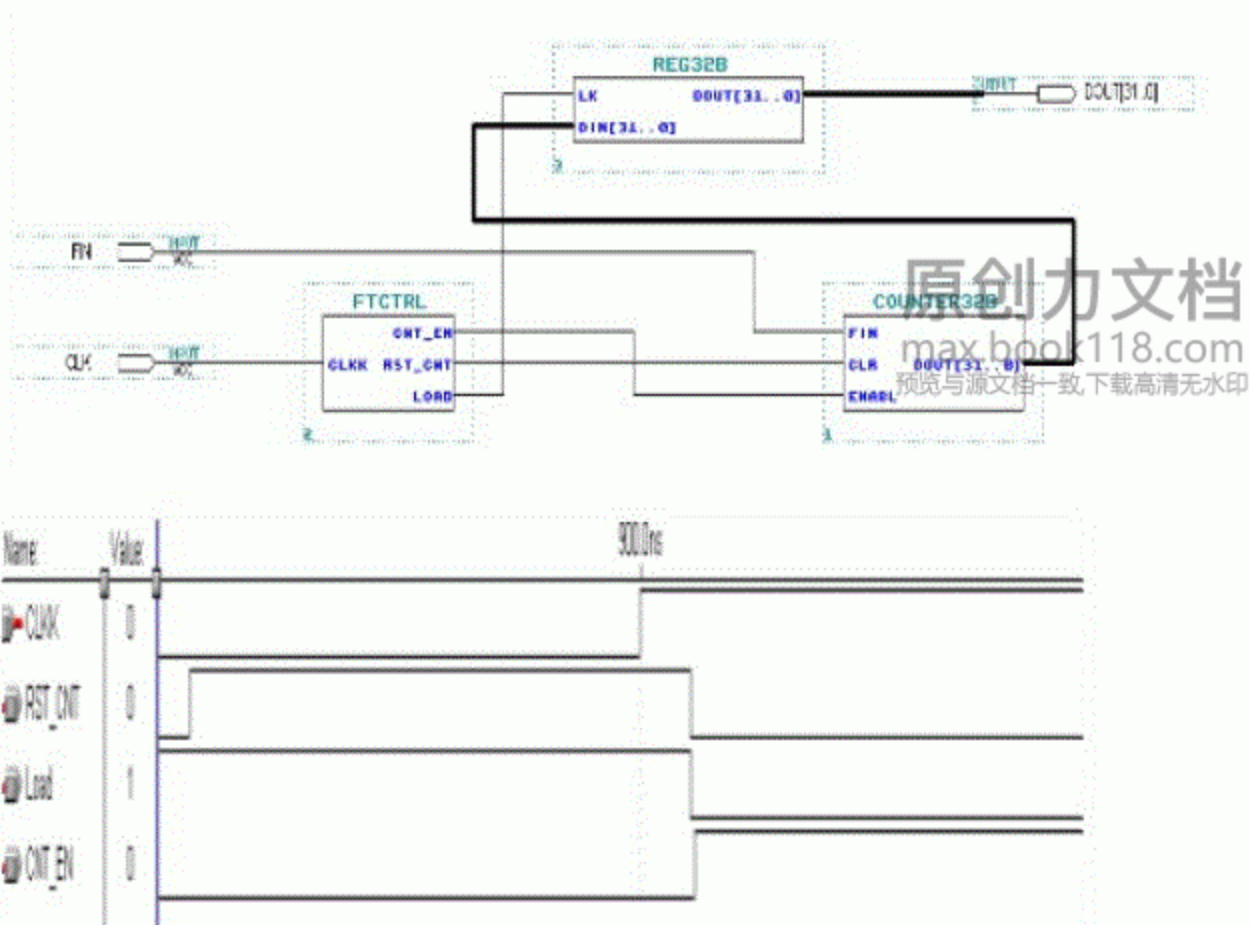
实验目的：设计 8 位十六进制频率计，学习较复杂的数字系统设计方法。

第3章 程序实现思路

实验内容 1：分别仿真测试模块程序 1、程序 2 和程序 3，再结合程序 4 完成频率计的完整设计和硬件实现，并给出其测频时序波形及其分析。8 个数码管以十六进制形式显示测频输出；待测频率输入 FIN 由 CLOCKS0 输入；1HZ 测频控制信号 CLK1HZ 可与 CLOCKS2 输入。注意，这时 8 个数码管的测频显示值是十六进制的。

实验内容 2：将频率计改为 8 位十进制频率计，注意此设计电路的计数器必须是 8 个 4 位的十进制计数器，而不是 1 个。此外注意在测频速度上给予优化。

实验内容 3：用 LPM 模块取代程序 2 和程序 3，在完成同样的设计任务。



第 4 章 程序清单

程序 1

```

LIBRARY IEEE;
USE IEEE.STD_LOGIC_1164.ALL;
USE IEEE.STD_LOGIC_UNSIGNED.ALL;
ENTITY FTCTRL IS
    PORT (CLKK : IN STD_LOGIC;
          CNT_EN : OUT STD_LOGIC;
          RST_CNT : OUT STD_LOGIC;
          Load : OUT STD_LOGIC    );

END FTCTRL;
ARCHITECTURE behav OF FTCTRL IS
    SIGNAL Div2CLK : STD_LOGIC;
BEGIN
    PROCESS(CLKK)
    BEGIN
        IF CLKK'EVENT AND CLKK = '1' THEN
            Div2CLK <= NOT Div2CLK;
        END IF;
    END PROCESS;
    PROCESS (CLKK,Div2CLK)
    BEGIN
        IF CLKK='0' AND Div2CLK='0' THEN RST_CNT<='1';
            ELSE RST_CNT <= '0';  END IF;
    END PROCESS;
    Load  <= NOT Div2CLK;  CNT_EN <= Div2CLK;
END behav;

```

程序 2

```

LIBRARY IEEE;
USE IEEE.STD_LOGIC_1164.ALL;
ENTITY REG32B IS
    PORT (   LK : IN STD_LOGIC;
          DIN : IN STD_LOGIC_VECTOR(31 DOWNT0 0);
          DOUT : OUT STD_LOGIC_VECTOR(31 DOWNT0 0));

```

```

END REG32B;
ARCHITECTURE behav OF REG32B IS
BEGIN
    PROCESS(LK,DIN)
    BEGIN
        IF LK'EVENT AND LK = '1' THEN DOUT <= DIN;
        END IF;
    END PROCESS;
END behav;

```

程序 3

```

LIBRARY IEEE;
USE IEEE.STD_LOGIC_1164.ALL;
USE IEEE.STD_LOGIC_UNSIGNED.ALL;
ENTITY COUNTER32B IS
    PORT (FIN : IN STD_LOGIC;
    GLR : IN STD_LOGIC;
    ENABL : IN STD_LOGIC;
    DOUT : OUT STD_LOGIC_VECTOR(31 DOWNT0 0));
END COUNTER32B;
ARCHITECTURE behav OF COUNTER32B IS
    SIGNAL CQI : STD_LOGIC_VECTOR(31 DOWNT0 0);
BEGIN
    PROCESS(FIN,CLR,ENABL)
    BEGIN
        IF CLR = '1' THEN CQI <= (OTHERS=>'0');
        ELSIF FIN'EVENT AND FIN = '1' THEN
            IF ENABL = '1' THEN CQI <= CQI + 1;END IF;
        END IF;
    END PROCESS;
    DOUT <= CQI;
END behav;

```

程序 4

```

LIBRARY IEEE;
LIBRARY IEEE;
USE IEEE.STD_LOGIC_1164.ALL;

```

```

ENTITY FREQTEST IS
    PORT ( CLK1HZ : IN STD_LOGIC;
          FSIN : IN STD_LOGIC;
          DOUT : OUT STD_LOGIC_VECTOR(31 DOWNTO 0) );
END FREQTEST;
ARCHITECTURE struc OF FREQTEST IS
    COMPONENT FTCTRL
    PORT (CLKK : IN STD_LOGIC;
          CNT_EN : OUT STD_LOGIC;
          RST_CNT : OUT STD_LOGIC;
          Load : OUT STD_LOGIC );
    END COMPONENT;
    COMPONENT COUNTER32B
    PORT (FIN : IN STD_LOGIC;
          CLR : IN STD_LOGIC;
          ENABL : IN STD_LOGIC;
          DOUT : OUT STD_LOGIC_VECTOR(31 DOWNTO 0));
    END COMPONENT;
    COMPONENT REG32B
    PORT ( LK : IN STD_LOGIC;
          DIN : IN STD_LOGIC_VECTOR(31 DOWNTO 0);
          DOUT : OUT STD_LOGIC_VECTOR(31 DOWNTO 0) );
    END COMPONENT;
    SIGNAL TSTEN1 : STD_LOGIC;
    SIGNAL CLR_CNT1 : STD_LOGIC;
    SIGNAL Load1 : STD_LOGIC;
    SIGNAL DTO1 : STD_LOGIC_VECTOR(31 DOWNTO 0);
    SIGNAL CARRY_OUT1 : STD_LOGIC_VECTOR(6 DOWNTO 0);
    BEGIN
    U1 : FTCTRL PORT MAP(CLKK =>CLK1HZ,CNT_EN=>TSTEN1,
        RST_CNT =>CLR_CNT1,Load =>LOAD1);
    U2 : REG32B PORT MAP( LK => Load1, DIN=>DTO1, DOUT => DOUT);
    U3 : COUNTER32B PORT MAP( FIN => FSIN, CLR => CLR_CNT1,
        ENABL => TSTEN1,DOUT=>DTO1 );
    END struc;

```

第5章 课程设计心得

这次 EDA 课程设计历时两个星期,在整整两个星期的日子里,可以说是苦多于甜,但是可以学的到很多很多的东西,同时不仅可以巩固以前所学过的知识,而且学到了很多在书本上所没有学到过的知识。通过这次设计,进一步加深了对 EDA 的了解,让我对它有了更加浓厚的兴趣。特别是当每一个子模块编写调试成功时,心里特别的开心。但是在编写顶层文件的程序时,遇到了不少问题,特别是各元件之间的连接,以及信号的定义,总是有错误,在细心的检查下,终于找出了错误和警告,排除困难后,程序编译就通过了,心里终于舒了一口气。在波形仿真时,也遇到了一点困难,想要的结果不能在波形上得到正确的显示:在设定输入的时钟信号后,数字秒表开始计数,但是始终看不到秒和小时的循环计数。后来,在数十次的调试之后,才发现是因为输入的时钟信号对于器件的延迟时间来说太短了。经过屡次调试,终于找到了比较合适的输入数值:时钟周期设置在 15 秒左右比较合适。另外,Endtime 的值需要设置的长一点:500us 左右,这样就可以观察到完整的仿真结果。

其次,在连接各个模块的时候一定要注意各个输入、输出引脚的线宽,因为每个线宽是不一样的,只要让各个线宽互相匹配,才能得出正确的结果,否则,出现任何一点小的误差就会导致整个文件系统的编译出现错误提示,在器件的选择上也有一定的技巧,只有选择了合适当前电路所适合的器件,编译才能得到圆满成功。

通过这次课程设计使我懂得了理论与实际相结合是很重要的,只有理论知识是远远不够的,只有把所学的理论知识与实践结合起来,从理论中得出结论,才能真正为社会服务,从而提高自己的实际动手能力和独立思考的能力。在设计的过程中遇到问题,可以说得是困难重重,这毕竟第一次做的,难免会遇到过各种各样的问题,同时,在设计的过程中发现了自己的不足之处,对以前所学过的知识理解得不够深刻,掌握得不够牢固。

总的来说,这次设计的数字秒表还是比较成功的,在设计中遇到了很多问题,最后在老师的辛勤的指导下,终于游逆而解,有点小小的成就感,终于觉得平时所学的知识有了实用的价值,达到了理论与实际相结合的目的,不仅学到了不少知识,而且锻炼了自己的能力,使自己对以后的路有了更加清楚的认识,同时,对未来有了更多的信心。最后,对给过我帮助的所有同学和各位指导老师再次表示忠心的感谢!

第 6 章 参考文献

- [1] 苏金明, 周建斌. 用 VB.NET 和 VC#.NET 开发交互式 CAD 系统[M]. 北京: 电子工业出版社, 2004
- [2] 普悠玛. VB.NET 程序设计示例导学[M]. 北京: 科海电子出版社, 2003
- [3] 李万红, 段恒勇. VB.NET 实用培训教程[M]. 北京: 清华大学出版社, 2002
- [4] 李万红, 梁靓. VB.NET 程序设计入门[M]. 北京: 清华大学出版社, 2002
- [5] 刘斌文. 精通 Visual Basic.NET 中文版[M]. 北京: 机械工业出版社, 2004